

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2003年 1月17日

出 願 番 号

Application Number: 特願2003-009516

[ST.10/C]:

[JP2003-009516]

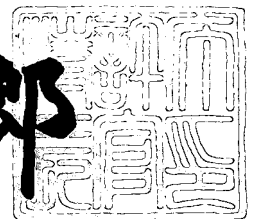
出 願 人

Applicant(s): 三菱電機株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007114

【書類名】 特許願

【整理番号】 539376JP02

【提出日】 平成15年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 伊藤 康悦

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 上野 修一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 古田 陽雄

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 味香 夏夫

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【先の出願に基づく優先権主張】

【出願番号】 特願2002-182441

【出願日】 平成14年 6月24日

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9806920

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 表面に溝を有する半導体基板と、

前記半導体基板内において前記表面に面して形成されたソース領域、前記ソース領域とは前記溝を介して離隔して、前記半導体基板内において前記表面に面して形成されたドレイン領域、前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に、前記溝に入り込むように形成されたゲート絶縁膜、および、前記ゲート絶縁膜上に、前記溝に入り込むように形成されたゲート電極を含む M I S (Metal Insulator Semiconductor) トランジスタとを備え、

前記ゲート絶縁膜中には、電荷を保持することが可能な第 1 および第 2 の電荷保持部が前記溝を挟むように形成されている

半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、

前記ゲート絶縁膜は、第 1 のシリコン酸化膜、シリコン窒化膜、および、第 2 のシリコン酸化膜の順に積層された積層膜であって、

前記第 1 および第 2 の電荷保持部とは、前記シリコン窒化膜のうち前記溝を挟む、互いに対向する第 1 および第 2 の部分である

半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置であって、

前記ゲート絶縁膜のうち前記溝に入り込んだ部分には、前記第 1 および第 2 の電荷保持部は形成されない

半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置であって、

前記半導体基板上には、他のソース領域、他のドレイン領域、他のゲート絶縁膜および他のゲート電極を有する他の M I S トランジスタも形成されている

半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置であって、

前記ゲート絶縁膜のうち前記溝に入り込んだ部分には、前記第 1 および第 2 の電荷保持部は形成されず、かつ、前記他の M I S トランジスタの前記他のゲート絶縁膜が延在して形成されている
半導体装置。

【請求項 6】 請求項 1 に記載の半導体装置であって、
前記第 1 および第 2 の電荷保持部は、前記ソース領域および前記ドレイン領域上に端部を有する
半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置であって、
前記第 1 および第 2 の電荷保持部の前記端部には、前記端部を覆う絶縁膜が形成された
半導体装置。

【請求項 8】 請求項 1 に記載の半導体装置であって、
前記溝の上端部および底部の角部分は丸められている
半導体装置。

【請求項 9】 請求項 1 に記載の半導体装置であって、
前記第 1 および第 2 の電荷保持部は、前記ゲート絶縁膜内に複数形成された島状領域である
半導体装置。

【請求項 1 0】 請求項 9 に記載の半導体装置であって、
前記島状領域は、シリコンまたはシリコン窒化膜で構成される
半導体装置。

【請求項 1 1】 請求項 1 に記載の半導体装置であって、
前記第 1 および第 2 の電荷保持部は、前記溝の側面に隣接する前記ゲート絶縁膜内に形成された
半導体装置。

【請求項 1 2】 表面を有する半導体基板と、
前記半導体基板内において前記表面に面して形成されたソース領域、前記ソース領域とは離隔して、前記半導体基板内において前記表面に面して形成されたド

レイン領域、前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に形成されたゲート絶縁膜、および、前記ゲート絶縁膜上に形成されたゲート電極を含むM I S (Metal Insulator Semiconductor) トランジスタと

を備え、

前記ゲート絶縁膜中には、電荷を保持可能な第 1 および第 2 の電荷保持部が、前記ソース領域および前記ドレイン領域を結ぶ方向に互いに対向しつつ離隔して、形成されており、

前記ゲート絶縁膜のうち、前記第 1 および第 2 の電荷保持部に挟まれた部分の膜厚は、前記第 1 および第 2 の電荷保持部が形成された部分の膜厚よりも小さく

前記第 1 および第 2 の電荷保持部の間には、前記ゲート電極が介在する半導体装置。

【請求項 1 3】 請求項 1 2 に記載の半導体装置であって、

前記第 1 および第 2 の電荷保持部はいずれもシリコン窒化膜であり、第 1 のシリコン酸化膜、前記シリコン窒化膜、および、第 2 のシリコン酸化膜が、この順に前記半導体基板上に積層された

半導体装置。

【請求項 1 4】 請求項 1 3 に記載の半導体装置であって、

前記ゲート絶縁膜のうち、前記第 1 および第 2 の電荷保持部に挟まれた部分は、前記第 1 のシリコン酸化膜の延在した部分である

半導体装置。

【請求項 1 5】 請求項 1 2 に記載の半導体装置であって、

前記第 1 および第 2 の電荷保持部のうち相互に対向する端部と前記ゲート電極との間に介在する絶縁膜が形成された

半導体装置。

【請求項 1 6】 請求項 1 2 に記載の半導体装置であって、

前記第 1 および第 2 の電荷保持部はそれぞれ、前記ソース領域および前記ドレイン領域上に他の端部を有する

半導体装置。

【請求項 1 7】 請求項 1 6 に記載の半導体装置であって、

前記第 1 および第 2 の電荷保持部の前記他の端部には、前記他の端部を覆う絶縁膜が形成された

半導体装置。

【請求項 1 8】 請求項 1 2 に記載の半導体装置であって、

前記第 1 および第 2 の電荷保持部はいずれも、前記ゲート絶縁膜内に複数形成された島状領域である

半導体装置。

【請求項 1 9】 請求項 1 8 に記載の半導体装置であって、

前記島状領域は、シリコンまたはシリコン窒化膜で構成される半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、不揮発性メモリのメモリセルに利用される半導体装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

不揮発性メモリのメモリセルに利用される半導体装置の一つに、図 3 5 に示す構造の MONOS (Metal Oxide Nitride Oxide Semiconductor) トランジスタがある。この MONOS トランジスタは、半導体基板 1 1 0 内に形成されたソース領域 1 1 1 s およびドレイン領域 1 1 1 d と、半導体基板 1 1 0 上に形成されたゲート絶縁膜 1 2 0 と、ゲート絶縁膜 1 2 0 上に形成されたゲート電極 1 3 0 とを備える。

【 0 0 0 3 】

このうちゲート絶縁膜 1 2 0 は、シリコン酸化膜 1 2 1、シリコン窒化膜 1 2 2 およびシリコン酸化膜 1 2 3 の順に積層された積層膜 (ONO 膜) である。メモリセルとしてこの MONOS トランジスタにプログラム (書き込み) 動作を行

う場合、半導体基板110、ゲート電極130、ソース領域111sおよびドレイン領域111dの各部に適当な電圧を印加することにより、シリコン窒化膜122中の例えばドレイン領域111d側に電子等の電荷CH1をトラップさせる。一方、イレース（消去）動作を行う場合も、上記各部に適当な電圧を印加することにより、トラップされている電荷CH1を引き抜く。

【0004】

電荷CH1がトラップされている場合には、トラップされていない場合に比べてMONOSトランジスタのしきい値電圧に変化が生じる。よって、このしきい値電圧の変化を検出することにより、メモリセルに1ビットの情報が記憶されているか否かを判断する。

【0005】

なお、図36は、複数の図35のMONOSトランジスタで構成された不揮発性メモリ101の上面図である。この不揮発性メモリ101においては、ソース領域111sおよびドレイン領域111dを含むソース／ドレイン領域111がビット線として機能し、ゲート電極130がワード線として機能する。なお、図36中のメモリセルCLの部分における断面を示したのが図35であり、メモリセルCL中のデータ蓄積領域DRに電荷CH1がトラップされることになる。

【0006】

図37および図38はいずれも、図36に示した不揮発性メモリ101のより具体的な構造の一例を示す斜視図である。図37の不揮発性メモリ101Aでは、隣接するメモリセルCLのうちソース領域111sおよびドレイン領域111dの部分に素子分離領域140が形成されている。この素子分離領域140下のソース領域111sおよびドレイン領域111dは、複数のメモリセル間で連続しており、ビット線として機能する。また、ゲート絶縁膜120は、チャンネル長方向においてメモリセルごとに区切られている。

【0007】

一方、図38の不揮発性メモリ101Bでは、図37中の素子分離領域140に相当する部分を有しない。また、ゲート絶縁膜120は、チャンネル長方向においてメモリセルごとに区切られることなく連続している。なお、図37および

図 3 8 の不揮発性メモリ 1 0 1 A, 1 0 1 B ではいずれも、MONOS トランジスタ上に形成された層間絶縁膜 1 5 0 を、その下部構造の表示を遮らないよう透明化して図示している。

【 0 0 0 8 】

なお、この出願の発明に関連する先行技術文献情報としては次のものがある。

【 0 0 0 9 】

【特許文献 1】

米国特許第 5 7 6 8 1 9 2 号明細書

【特許文献 2】

特開 2 0 0 2 - 2 6 1 4 9 号公報

【特許文献 3】

特開平 5 - 7 5 1 3 3 号公報

【非特許文献 1】

I. Bloom et al., 「NROM anew non-volatile memory technology: from device to products」, (米国), Microelectronic Engineering 59(2001), pp.213-223

【非特許文献 2】

B. Eitan et al., 「Can NROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cells?」(米国), SSDM1999

【非特許文献 3】

E. Lusky et al., 「Electron Discharge Model of Locally-Trapped Charge in Oxide-Nitride-Oxide(ONO) Gates for NROM Non-Volatile Semiconductor Memory Devices」(米国), SSDM2001

【非特許文献 4】

T. Toyoshima et al., 「0.1 μ m Level Contact Hole Pattern Formation with KrF Lithography by Resolution Enhancement Lithography Assisted by Chemical Shrink (RELACS)」IEDM1998, p.333

【非特許文献 5】

J. De Blauwe et al., 「Si-Dot Non-Volatile Memory Device」(米国),

Extended Abstracts of the 2001 International Conference on
Solid State Devices and Materials, Tokyo, 2001, pp.518-519

【 0 0 1 0 】

【発明が解決しようとする課題】

図 3 9 に示すように、不揮発性メモリ 1 0 1 のメモリセルたる MONOS トランジスタ（図 3 5 の MONOS トランジスタと同様の構造であるが、さらにサイドウォール絶縁膜 1 6 0 を備えている）のチャネル長がスケーリングの進行（素子の微細化）により短くなったとしても、トラップされた電荷 CH 1 の誘起する電界 EF 1 の実効的な範囲は変わることがない。

【 0 0 1 1 】

さて、この MONOS トランジスタにおいては、シリコン窒化膜 1 2 2 中のドレイン領域 1 1 1 d 側にだけ電荷 CH 1 をトラップさせるだけではなく、ソース領域 1 1 1 s 側にも電荷をトラップさせることが可能である。そこで、ソース／ドレインのそれぞれの側に電荷をトラップさせれば、一つのメモリセルで 2 ビットの情報を保持することが可能となる。

【 0 0 1 2 】

図 4 0 のうち上側の MONOS トランジスタは、ソース／ドレインのそれぞれの側に電荷をトラップさせた場合を示している。ここでは、ドレイン領域 1 1 1 d 側にトラップさせた電荷 CH 1 を bit 1 と表示し、ソース領域 1 1 1 s 側にトラップさせた電荷 CH 2 を bit 2 と表示している。

【 0 0 1 3 】

さて、図 4 0 のうち下側に示すように、ソース／ドレインの両側に電荷をトラップさせる場合も、スケーリングによりチャネル長が短くなる。このとき、ソース／ドレインのそれぞれの側に電荷をトラップさせようとする、最初にトラップされた電荷 CH 1 の誘起する電界 EF 1 の斥力により、電荷 CH 2 のトラップが妨げられる場合がある（図 4 0 中の電荷 CH 2 a）。よって、従来の半導体装置の構造のままでは、スケーリングが進んだときに、一つのメモリセルに多ビットの情報を保持させることが困難となる。

【 0 0 1 4 】

そこで、この発明の課題は、不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置およびその製造方法を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

請求項 1 に記載の発明は、表面に溝を有する半導体基板と、前記半導体基板内において前記表面に面して形成されたソース領域、前記ソース領域とは前記溝を介して離隔して、前記半導体基板内において前記表面に面して形成されたドレイン領域、前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に、前記溝に入り込むように形成されたゲート絶縁膜、および、前記ゲート絶縁膜上に、前記溝に入り込むように形成されたゲート電極を含む M I S (Metal Insulator Semiconductor) トランジスタとを備え、前記ゲート絶縁膜中には、電荷を保持することが可能な第 1 および第 2 の電荷保持部が前記溝を挟むように形成されている半導体装置である。

【 0 0 1 6 】

請求項 2 に記載の発明は、請求項 1 に記載の半導体装置であって、前記ゲート絶縁膜は、第 1 のシリコン酸化膜、シリコン窒化膜、および、第 2 のシリコン酸化膜の順に積層された積層膜であって、前記第 1 および第 2 の電荷保持部とは、前記シリコン窒化膜のうち前記溝を挟む、互いに対向する第 1 および第 2 の部分である半導体装置である。

【 0 0 1 7 】

請求項 3 に記載の発明は、請求項 1 に記載の半導体装置であって、前記ゲート絶縁膜のうち前記溝に入り込んだ部分には、前記第 1 および第 2 の電荷保持部は形成されない半導体装置である。

【 0 0 1 8 】

請求項 4 に記載の発明は、請求項 1 に記載の半導体装置であって、前記半導体基板上には、他のソース領域、他のドレイン領域、他のゲート絶縁膜および他のゲート電極を有する他の M I S トランジスタも形成されている半導体装置である。

【 0 0 1 9 】

請求項 5 に記載の発明は、請求項 4 に記載の半導体装置であって、前記ゲート絶縁膜のうち前記溝に入り込んだ部分には、前記第 1 および第 2 の電荷保持部は形成されず、かつ、前記他の M I S トランジスタの前記他のゲート絶縁膜が延在して形成されている半導体装置である。

【 0 0 2 0 】

請求項 6 に記載の発明は、請求項 1 に記載の半導体装置であって、前記第 1 および第 2 の電荷保持部は、前記ソース領域および前記ドレイン領域上に端部を有する半導体装置である。

【 0 0 2 1 】

請求項 7 に記載の発明は、請求項 6 に記載の半導体装置であって、前記第 1 および第 2 の電荷保持部の前記端部には、前記端部を覆う絶縁膜が形成された半導体装置である。

【 0 0 2 2 】

請求項 8 に記載の発明は、請求項 1 に記載の半導体装置であって、前記溝の上端部および底部の角部分は丸められている半導体装置である。

【 0 0 2 3 】

請求項 9 に記載の発明は、請求項 1 に記載の半導体装置であって、前記第 1 および第 2 の電荷保持部は、前記ゲート絶縁膜内に複数形成された島状領域である半導体装置である。

【 0 0 2 4 】

請求項 1 0 に記載の発明は、請求項 9 に記載の半導体装置であって、前記島状領域は、シリコンまたはシリコン窒化膜で構成される半導体装置である。

【 0 0 2 5 】

請求項 1 1 に記載の発明は、請求項 1 に記載の半導体装置であって、前記第 1 および第 2 の電荷保持部は、前記溝の側面に隣接する前記ゲート絶縁膜内に形成された半導体装置である。

【 0 0 2 6 】

請求項 1 2 に記載の発明は、表面を有する半導体基板と、前記半導体基板内に

において前記表面に面して形成されたソース領域、前記ソース領域とは離隔して、前記半導体基板内において前記表面に面して形成されたドレイン領域、前記表面のうち少なくとも前記ソース領域と前記ドレイン領域とに挟まれた部分の上に形成されたゲート絶縁膜、および、前記ゲート絶縁膜上に形成されたゲート電極を含むM I S (Metal Insulator Semiconductor) トランジスタとを備え、前記ゲート絶縁膜中には、電荷を保持可能な第 1 および第 2 の電荷保持部が、前記ソース領域および前記ドレイン領域を結ぶ方向に互いに対向しつつ離隔して、形成されており、前記ゲート絶縁膜のうち、前記第 1 および第 2 の電荷保持部に挟まれた部分の膜厚は、前記第 1 および第 2 の電荷保持部が形成された部分の膜厚よりも小さく、前記第 1 および第 2 の電荷保持部の間には、前記ゲート電極が介在する半導体装置である。

【 0 0 2 7 】

【発明の実施の形態】

<実施の形態 1>

本実施の形態は、チャネル部分に溝が形成され、ゲート絶縁膜中のシリコン窒化膜が電荷保持部として溝を挟むように形成された構造のMONOSトランジスタを備える半導体装置である。

【 0 0 2 8 】

図 1 は、本実施の形態に係る半導体装置の備えるMONOSトランジスタを示す図である。図 1 に示すように、このMONOSトランジスタは、シリコン基板等の半導体基板 1 1 0 内に形成されたソース領域 1 1 1 s およびドレイン領域 1 1 1 d と、半導体基板 1 1 0 上に形成されたゲート絶縁膜 1 2 0 と、ゲート絶縁膜 1 2 0 上に形成されたゲート電極 1 3 0 とを備える。このうちゲート絶縁膜 1 2 0 は、シリコン酸化膜 1 2 1、シリコン窒化膜 1 2 2 およびシリコン酸化膜 1 2 3 の順に積層された積層膜である。

【 0 0 2 9 】

さて、本実施の形態においては、半導体基板 1 1 0 の表面のうちソース領域 1 1 1 s およびドレイン領域 1 1 1 d 間のチャネル部分に、溝 T R 1 が形成されている。また、ゲート絶縁膜 1 2 0 およびゲート電極 1 3 0 は、いずれも溝 T R 1

に入り込むように形成されている。そして、シリコン窒化膜 1 2 2 のうち、溝 T R 1 を挟む、互いに対向するソース側部分およびドレイン側部分が、電荷 C H 1 , C H 2 を保持することが可能な第 1 および第 2 の電荷保持部として機能する。

【 0 0 3 0 】

このように、チャネル中央付近に溝 T R 1 を形成し、溝 T R 1 内にゲート電極 1 3 0 が入り込むように形成されておれば、第 1 の電荷保持部に電荷 C H 1 をトラップさせた後に第 2 の電荷保持部に電荷 C H 2 をトラップさせる場合に、ゲート電極のうち溝 T R 1 内の部分 1 3 0 a がシールドの役割を果たす。

【 0 0 3 1 】

MONOS トランジスタにプログラム動作およびイレース動作を行う場合は、ゲート電極 1 3 0 に例えば 0 [V] や 3 [V] といった固定電位が与えられる。これにより、第 1 の電荷保持部の電荷 C H 1 の誘起する電界 E F 1 の影響が第 2 の電荷保持部に及ぶことがなく、スケーリングが進んだ場合であっても第 2 の電荷保持部への電荷 C H 2 のトラップが妨げられることがないからである。

【 0 0 3 2 】

よって、この MONOS トランジスタを不揮発性メモリのメモリセルに適用すれば、不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置を実現できる。もちろん、図 1 に記載の MONOS トランジスタを複数、半導体基板 1 1 0 上に形成し、図 3 6 ~ 図 3 8 のようにアレイ状に配置すれば、複数のメモリセルからなる不揮発性メモリを構成できる。

【 0 0 3 3 】

メモリセルとして、この MONOS トランジスタにプログラム動作およびイレース動作を行う場合は、図 3 5 に示したのと同様にして、半導体基板 1 1 0 、ゲート電極 1 3 0 、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の各部に適当な電圧を印加することにより行えばよい。なお、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の電位を浮遊状態とし、ゲート電極 1 3 0 と半導体基板 1 1 0 との間に所定の電位差を与えれば、第 1 および第 2 の電荷保持部にトラップされた電荷 C H 1 , C H 2 を一括してゲート電極 1 3 0 もしくはチャネル側の半導体

基板 110 に引き抜くことが可能であり、一括消去時に便利となる。また、トラップさせる電荷 CH1, CH2 は電子に限られるわけではなく、例えば正孔であってもよい。

【0034】

なお、ソース領域 111s およびドレイン領域 111d 間に溝 TR1 が形成されているので、実効チャネル長 LG が大きくなり、パンチスルーへの耐性も向上する。

【0035】

<実施の形態 2>

本実施の形態は、実施の形態 1 に係る半導体装置の製造方法の一例である。

【0036】

まず、図 2 に示すように、半導体基板 110 上に、フォトリジストやシリコン酸化膜、シリコン窒化膜等のマスク 201 を形成し、これに開口部 OP1 を設けて半導体基板 110 の表面に溝 TR1 を異方性エッチングにより形成する。

【0037】

次に、ウェル形成やチャネルドーピングなどを行う。その後、図 3 に示すように、フォトリジスト等のマスク 202 を形成して、LDD (Lightly Doped Drain) 領域 111sa, 111da を不純物注入 IP1 により、半導体基板 110 内において表面に面した位置に、両者間に溝 TR1 を挟むようにして形成する。この後、同様にして LDD 領域 111sa, 111da よりも高濃度の不純物注入を行って、ソース領域 111s およびドレイン領域 111d を形成する。

【0038】

そして、半導体基板 110 上にゲート絶縁膜 120 を形成する (図 4)。ここで、ゲート絶縁膜 120 は、シリコン酸化膜 121、シリコン窒化膜 122、および、シリコン酸化膜 123 の順に積層された積層膜であるが、本実施の形態においては、シリコン窒化膜 122 を素子分離領域 140 形成用のマスクとして用いる。

【0039】

すなわち、シリコン酸化膜 121 およびシリコン窒化膜 122 を形成し終えた

段階で、フォトリソグラフィ技術およびエッチング技術によりシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 にパターニングを施す。そして、パターニングされたシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d 内に、素子分離領域 1 4 0 を例えば L O C O S (L O C a l O x i d a t i o n o f S i l i c o n) 法等により形成する。そして、半導体基板 1 1 0 上の全面にシリコン酸化膜 1 2 3 を形成する。

【 0 0 4 0 】

なお、素子分離領域 1 4 0 の形成工程の後に別工程としてシリコン酸化膜 1 2 3 を形成してもよいし、あるいは素子分離領域 1 4 0 を L O C O S 法で形成する際にシリコン窒化膜 1 2 2 の表面が同時に熱酸化される場合には、素子分離領域 1 4 0 とシリコン酸化膜 1 2 3 とを一つの酸化工程で形成してもよい。例えばランプ酸化法の一つたる I S S G (In-Situ Steam Generation) によれば、素子分離領域 1 4 0 とシリコン酸化膜 1 2 3 とを一工程内で形成することが可能である。

【 0 0 4 1 】

その後、ゲート絶縁膜 1 2 3 上にゲート電極 1 3 0 を形成すれば、実施の形態 1 において示した M O N O S トランジスタが完成する。

【 0 0 4 2 】

このようにすれば、実施の形態 1 に係る半導体装置を製造することができる。また、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて素子分離領域 1 4 0 を形成するので、新たにマスク形成することなく素子分離領域 1 4 0 をゲート絶縁膜 1 2 0 の形成途中に形成できる。よって、製造工程が簡略化でき、低コスト化が図れる。

【 0 0 4 3 】

なお、本実施の形態においては、L D D 領域 1 1 1 s a, 1 1 1 d a の形成を先に行った後、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成する場合について説明した。

【 0 0 4 4 】

しかし、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の形成後に、L D D

領域 111sa, 111da の形成を行っても良い。

【0045】

その場合には、半導体基板 110 上にフォトリソ等マスクを形成して、まず LDD 領域を含まないソース領域およびドレイン領域が形成されるようそのマスクをパターニングする。その後、不純物注入を行って、比較的高濃度のソース領域およびドレイン領域を形成する。

【0046】

次に、そのマスクのサイズをレジスタッシング等により必要な分だけシュリンクさせる（小さくする）。その後、不純物注入を行って、比較的低濃度の LDD 領域を形成する。

【0047】

このようにすれば、ソース領域 111s およびドレイン領域 111d の形成後に、LDD 領域 111sa, 111da の形成が行える。

【0048】

なお、先述の場合と同様、LDD 領域 111sa, 111da の形成を先に行った後、ソース領域 111s およびドレイン領域 111d を形成する場合の他の例としては、RELACS (Resolution Enhancement Lithography Assisted by Chemical Shrink) 技術を利用した方法が考えられる (RELACS 技術については、上記非特許文献 4 を参照のこと)。

【0049】

すなわちこの場合は、半導体基板 110 上にフォトリソ等マスクを形成して、まず LDD 領域が形成されるようそのマスクをパターニングする。その後、不純物注入を行って、比較的低濃度の LDD 領域を形成する。

【0050】

次に、そのマスクのサイズを RELACS 技術により必要な分だけ拡大させる（大きくする）。その後、不純物注入を行って、比較的高濃度のソース領域およびドレイン領域を形成する。

【0051】

このようにすれば、LDD 領域 111sa, 111da の形成後に、ソース領

域 111s およびドレイン領域 111d の形成が行える。

【0052】

また、上記においては、マスクとしてフォトレジストを採用する場合を示したが、下地や周りに露出している材料とのエッチング選択比が確保できる材料であれば、シリコン酸化膜やシリコン窒化膜、ポリシリコン等もマスクに採用してよい。

【0053】

これらの材料を用いて、ソース領域 111s およびドレイン領域 111d の形成後に、LDD領域 111sa, 111da の形成を行う場合には、シュリンク時に等方性エッチングを採用すればよい。また、逆に、LDD領域 111sa, 111da の形成後に、ソース領域 111s およびドレイン領域 111d の形成を行う場合には、マスクサイズ拡大時にマスクと同じ材料の堆積とエッチバックとを行ってサイドウォール形成を行えばよい。

【0054】

マスクの材料には、下地材料や前後の工程を考慮して、適切なものを選択すればよい。

【0055】

また、本実施の形態においては、図4に示したようにシリコン窒化膜 122 を素子分離領域 140 形成用のマスクとして用いたが、もちろん素子分離領域 140 形成用のマスクはシリコン窒化膜 122 に限られるわけではない。

【0056】

すなわち、一般的に行われるように、半導体基板 110 上にフォトレジストを形成し、これをパターニングしてマスクとし、素子分離領域 140 をLOCOS法等にて形成してもよい。

【0057】

また、溝TR1を先に形成し、素子分離領域 140 を後に形成することも必須ではない。よって、素子分離領域 140 を予め形成した半導体基板 110 を用意し、その基板に溝TR1を形成してもよい。

【0058】

ただし、本実施の形態のように、溝TR1を先に、素子分離領域140を後に形成して、ゲート絶縁膜120中のシリコン窒化膜122を素子分離領域140形成用のマスクとして用いれば、無駄な工程が省けるという利点がある。

【0059】

＜実施の形態3＞

本実施の形態は、実施の形態1に係る半導体装置の製造方法の他の一例である。

【0060】

まず、半導体基板110上にダミー膜（例えばシリコン酸化膜）203を形成し、その上にさらにダミー膜203に対してエッチング選択性を有する第1のマスク膜（例えばシリコン窒化膜）204を形成する（図5）。なお、図5～図13においてダミー膜203の符号に（120）と並記しているのは、実施の形態7においてもこれらの図を用いるためであり、本実施の形態においては（120）との並記部分は無視してよい。

【0061】

次に、フォトリジスト205を形成し、これにパターニングを行って開口部OP2を設ける（図6）。そして、ダミー膜203および第1のマスク膜204に異方性エッチングを施す。これにより素子分離領域が形成されるべき領域AR1に開口部が形成される（図7）。

【0062】

続いて、フォトリジスト205を除去し、領域AR1の開口部に露出する半導体基板110の表面に素子分離領域140を例えばLOCOS法等により形成する（図8）。そして、第1のマスク膜204に対してエッチング選択性を有する層間絶縁膜（例えばシリコン酸化膜）150を、半導体基板110上の全面に形成して、その表面をCMP（Chemical Mechanical Polishing）で研磨し、第1のマスク膜204を露出させる。これにより、層間絶縁膜150が領域AR1の開口部内に埋め込まれる（図9）。そして、エッチング選択性を利用して、層間絶縁膜150およびダミー膜203を残しつつ第1のマスク膜204をエッチングにより除去する（図10）。

【0063】

次に、層間絶縁膜150およびダミー膜203上に、この両者に対してエッチング選択性を有する第2のマスク膜（例えばシリコン窒化膜）を形成して、これにエッチバックを施すことにより、第1のマスク膜204の除去部分においてサイドウォール膜206を形成する（図11）。

【0064】

そして、層間絶縁膜150およびサイドウォール膜206をマスクとしつつエッチングを行い、溝TR1を形成する（図12）。その後、溝TR1内にサイドウォール膜206に対してエッチング選択性を有するSOG（Spin On Glass）207を埋め込む（図13）。

【0065】

続いて、エッチング選択性を利用して、SOG207、ダミー膜203および層間絶縁膜150を残しつつサイドウォール膜206をエッチングにより除去する。そして、SOGを除去する（図14）。SOGは、熱酸化法等で形成されたシリコン酸化膜に比べてエッチング速度が速いという特性を有している。よって、SOGを用いることで、層間絶縁膜150およびダミー膜203を残しつつSOG207だけを除去することが可能である。

【0066】

これにより半導体基板110に溝TR1が形成された状態となるので、この後、ダミー膜203を除去すれば、実施の形態2における図3以降の工程を行うことで、実施の形態1に係る半導体装置を製造することが可能となる。

【0067】

本実施の形態によれば、層間絶縁膜150およびサイドウォール膜206をマスクとしつつ溝TR1を形成し、その後、サイドウォール膜206、SOG207およびダミー膜203を除去する。よって、素子分離領域140を形成した後、溝TR1を形成することができる。

【0068】

＜実施の形態4＞

本実施の形態は、実施の形態1に係る半導体装置の変形例であって、ゲート絶

縁膜 1 2 0 のうち溝 T R 1 に入り込んだ部分には、電荷保持部たるシリコン窒化膜 1 2 2 が形成されない構造の MONOS トランジスタを備える半導体装置である。

【 0 0 6 9 】

図 1 5 は、本実施の形態に係る半導体装置の備える MONOS トランジスタを示す図である。図 1 5 に示すように、この MONOS トランジスタにおいては、溝 T R 1 内にはゲート絶縁膜 1 2 0 が形成されず、その代わりに新たなゲート絶縁膜（例えばシリコン酸化膜） 1 2 4 が形成されている。その他の構成は図 1 に示した MONOS トランジスタと同様のため、説明を省略する。

【 0 0 7 0 】

このように、ゲート絶縁膜 1 2 0 のうち溝 T R 1 に入り込んだ部分に、電荷保持部たるシリコン窒化膜 1 2 2 が形成されていなければ、溝 T R 1 部分のゲート絶縁膜 1 2 4 の膜厚を薄くすることができる。よって、溝 T R 1 部分におけるチャネル生成に必要なゲート電圧の値を低く抑えることができる。

【 0 0 7 1 】

また、図 1 6 に示すように、半導体基板 1 1 0 上に、ソース領域 2 1 1 s、ドレイン領域 2 1 1 d、ゲート絶縁膜 1 2 5、ゲート電極 2 3 0、およびサイドウォール絶縁膜 2 3 1 を有する他の M I S トランジスタも形成されておれば、図 1 5 の新たなゲート絶縁膜 1 2 4 の代わりに、ゲート絶縁膜 1 2 5 を溝 T R 1 内に延在して形成してもよい。

【 0 0 7 2 】

半導体基板 1 1 0 上に他の M I S トランジスタが形成されておれば、MONOS トランジスタを例えばメモリセルに用い、他の M I S トランジスタを論理回路の構成素子に用いるシステム L S I (Large Scale Integration) として構成することが可能である。

【 0 0 7 3 】

そして、他の M I S トランジスタのゲート絶縁膜 1 2 5 を溝 T R 1 内に延在して形成することで、MONOS トランジスタのゲート絶縁膜のうち溝 T R 1 に入り込んだ部分の材質を、他のゲート絶縁膜 1 2 5 の材質と同じくすることができ

、例えば高誘電率絶縁膜を溝TR1部分に採用することが可能となる。

【0074】

<実施の形態5>

本実施の形態は、実施の形態4に係る半導体装置の製造方法の一例である。

【0075】

まず、図17に示すように、溝TR1の形成に先立って半導体基板110上に、シリコン酸化膜121、シリコン窒化膜122、およびシリコン酸化膜を順に積層し、ゲート絶縁膜120を形成する。そして、ゲート絶縁膜120上にフォトレジスト等のマスク208を形成し、これに開口部OP3を設ける。

【0076】

そして、ゲート絶縁膜120のうち開口部OP3に露出する部分をもエッチングしつつ、異方性エッチングにより半導体基板110の表面に溝TR1を形成する。その後、マスク208を除去し、必要であればチャネル部分に斜め回転注入法により不純物注入IP2を行う（図18）。なお、しきい値電圧の設定如何によって、不純物注入IP2を行うかどうかを決定すればよい。

【0077】

次に、溝TR1内に新たなゲート絶縁膜124を形成する（図19）。ゲート絶縁膜124をシリコン酸化膜で構成する場合には、熱酸化法やランプ酸化法（あるいはRTO法：Rapid Thermal Oxidation Method）を採用すればよい。

【0078】

この後、図20に示すように、フォトレジスト等のマスク202を形成して、LDD領域111sa、111daを不純物注入IP1により、半導体基板110内において表面に面した位置に、両者間に溝TR1を挟むようにして形成する。この後、同様にしてLDD領域111sa、111daよりも高濃度の不純物注入を行って、ソース領域111sおよびドレイン領域111dを形成する。

【0079】

その後、マスク202を除去してゲート絶縁膜120上にゲート電極130を形成すれば、図15に示すMONOSトランジスタを製造することができる。

【0080】

なお、図 3 7 のような素子分離領域 1 4 0 を有する構造を製造する場合には、例えば図 1 7 の段階よりも前に、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 を形成し終えた段階で、フォトリソグラフィ技術およびエッチング技術によりシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 にパターニングを施しておく。そして、パターニングされたシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて、素子分離領域 1 4 0 を例えば L O C O S 法等により形成しておけばよい。また、素子分離領域 1 4 0 の形成前にソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成しておいてもよい。

【 0 0 8 1 】

また、図 1 6 に示す MONOS トランジスタを製造する場合には、例えば図 1 8 の段階後にゲート絶縁膜 1 2 5 を半導体基板 1 1 0 上の全面に形成し、その後、ソース／ドレインの形成を経て、ゲート電極 1 3 0、2 3 0 を一つのパターニングプロセスで形成すればよい。

【 0 0 8 2 】

なお、LDD 領域とソース／ドレインの形成の先後については、実施の形態 2 において説明したように、いずれであってもよい。

【 0 0 8 3 】

< 実施の形態 6 >

本実施の形態は、実施の形態 4 に係る半導体装置の製造方法の他の一例である。なお、本実施の形態では、図 3 7 のような素子分離領域 1 4 0 を有する構造を製造する場合を想定している。

【 0 0 8 4 】

まず、半導体基板 1 1 0 上にシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 を形成する。その後、シリコン窒化膜 1 2 2 上にフォトリソ等マスク 2 0 9 を形成し、素子分離領域 1 4 0 を形成する領域が開口するよう開口部 O P 4 をマスク 2 0 9 に設ける（図 2 1）。

【 0 0 8 5 】

次に、マスク 2 0 9 を用いて開口部 O P 4 に露出するシリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をエッチングにより除去し、マスク 2 0 9 を除去する

。そして、不純物注入 I P 3 を行い（図 2 2）、半導体基板 1 1 0 内にソース領域 1 1 1 s b およびドレイン領域 1 1 1 d b を形成する。

【 0 0 8 6 】

続いて、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて、ソース領域 1 1 1 s b およびドレイン領域 1 1 1 d b 内に、素子分離領域 1 4 0 を例えば L O C O S 法等により形成する（図 2 3）。その後、シリコン窒化膜 1 2 2 および素子分離領域 1 4 0 上にフォトレジスト等のマスク 2 1 0 を形成し、これに開口部 O P 5 を設ける（図 2 4）。

【 0 0 8 7 】

次に、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 のうち開口部 O P 5 に露出する部分をもエッチングしつつ、異方性エッチングにより半導体基板 1 1 0 の表面に溝 T R 1 を形成する。そして、マスク 2 1 0 を除去し、必要であればチャネル部分に斜め回転注入法により不純物注入 I P 2 を行う（図 2 5）。しきい値電圧の設定如何によって、不純物注入 I P 2 を行うかどうかを決定すればよい。なお、図 2 5 は、図 2 4 内の領域 A R 2 を拡大表示したものである。

【 0 0 8 8 】

その後、半導体基板 1 1 0 上の全面に、熱酸化法等によりシリコン酸化膜 1 2 3 および 1 2 4 を形成し（図 2 6）、ゲート絶縁膜 1 2 3 および 1 2 4 上にゲート電極 1 3 0 を形成する。このようにすれば、図 1 5 に示す M O N O S トランジスタを製造することができる。また、図 1 6 に示す M O N O S トランジスタを製造する場合には、例えば図 2 6 においてシリコン酸化膜 1 2 3 および 1 2 4 の代わりに、他の M I S トランジスタのゲート絶縁膜 1 2 5 を形成してもよい。

【 0 0 8 9 】

このようにすれば、実施の形態 2 におけると同様、シリコン酸化膜 1 2 1 およびシリコン窒化膜 1 2 2 をマスクとして用いて素子分離領域 1 4 0 を形成するので、新たにマスク形成することなく素子分離領域 1 4 0 をゲート絶縁膜 1 2 0 の形成途中に形成できる。よって、製造工程が簡略化でき、低コスト化が図れる。

【 0 0 9 0 】

もちろん、実施の形態 2 において説明したように、素子分離領域 1 4 0 形成用

のマスクはシリコン窒化膜 1 2 2 に限られるわけではない。そして、溝 T R 1 の形成を素子分離領域 1 4 0 の形成後に行うことも必須ではない。

【 0 0 9 1 】

<実施の形態 7>

本実施の形態も、実施の形態 4 に係る半導体装置の製造方法の他の一例である。なお、本実施の形態は、実施の形態 3 におけるダミー膜 2 0 3 の代わりに、ゲート絶縁膜 1 2 0 を最初から形成しておくようにした製造方法である。よって、実施の形態 3 において示された図 5 ～図 1 3 を用いて説明を行うが、以下では、図 5 ～図 1 3 において、ダミー膜 2 0 3 に代わってゲート絶縁膜 1 2 0 が形成されているものとする。

【 0 0 9 2 】

まず、半導体基板 1 1 0 上に、シリコン酸化膜 1 2 1、シリコン窒化膜 1 2 2 およびシリコン酸化膜 1 2 3 の積層膜たるゲート絶縁膜 1 2 0 を形成する。そして、その上にさらにシリコン酸化膜 1 2 3 に対してエッチング選択性を有する第 1 のマスク膜（例えばシリコン窒化膜） 2 0 4 を形成する（図 5）。

【 0 0 9 3 】

次に、フォトレジスト 2 0 5 を形成し、これにパターニングを行って開口部 O P 2 を設ける（図 6）。そして、ゲート絶縁膜 1 2 0 および第 1 のマスク膜 2 0 4 に異方性エッチングを施す。これにより素子分離領域が形成されるべき領域 A R 1 に開口部が形成される（図 7）。

【 0 0 9 4 】

続いて、フォトレジスト 2 0 5 を除去し、領域 A R 1 の開口部に露出する半導体基板 1 1 0 の表面に素子分離領域 1 4 0 を例えば L O C O S 法等により形成する（図 8）。そして、第 1 のマスク膜 2 0 4 に対してエッチング選択性を有する層間絶縁膜（例えばシリコン酸化膜） 1 5 0 を、半導体基板 1 1 0 上の全面に形成して、その表面を CMP（Chemical Mechanical Polishing）で研磨し、第 1 のマスク膜 2 0 4 を露出させる。これにより、層間絶縁膜 1 5 0 が領域 A R 1 の開口部内に埋め込まれる（図 9）。そして、エッチング選択性を利用して、層間絶縁膜 1 5 0 およびゲート絶縁膜 1 2 0 を残しつつ第 1 のマスク膜 2 0 4 をエッ

チングにより除去する（図 1 0）。

【 0 0 9 5 】

次に、層間絶縁膜 1 5 0 およびシリコン酸化膜 1 2 3 上に、この両者に対してエッチング選択性を有する第 2 のマスク膜（例えばシリコン窒化膜）を形成して、これにエッチバックを施すことにより、第 1 のマスク膜 2 0 4 の除去部分においてサイドウォール膜 2 0 6 を形成する（図 1 1）。

【 0 0 9 6 】

そして、層間絶縁膜 1 5 0 およびサイドウォール膜 2 0 6 をマスクとしつつエッチングを行い、溝 T R 1 を形成する（図 1 2）。その後、溝 T R 1 内にサイドウォール膜 2 0 6 に対してエッチング選択性を有する S O G 2 0 7 を埋め込む（図 1 3）。

【 0 0 9 7 】

続いて、エッチング選択性を利用して、S O G 2 0 7、ゲート絶縁膜 1 2 0 および層間絶縁膜 1 5 0 を残しつつサイドウォール膜 2 0 6 をエッチングにより除去する。そして、S O G を除去する。この状態を示すのが図 2 7 である。これにより半導体基板 1 1 0 に溝 T R 1 およびゲート絶縁膜 1 2 0 が形成された状態となるので、実施の形態 5 における図 1 8 以降の工程を行うことで、実施の形態 4 に係る半導体装置を製造することが可能となる。

【 0 0 9 8 】

本実施の形態によれば、層間絶縁膜 1 5 0 およびサイドウォール膜 2 0 6 をマスクとしつつ溝 T R 1 を形成し、その後、サイドウォール膜 2 0 6、S O G 2 0 7 を除去する。よって、素子分離領域 1 4 0 を形成した後に溝 T R 1 を形成することができる。

【 0 0 9 9 】

< 実施の形態 8 >

本実施の形態は、実施の形態 4 に係る半導体装置の変形例であって、ゲート絶縁膜 1 2 0 のうち第 1 および第 2 の電荷保持部たるシリコン窒化膜 1 2 2 が、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d 上に端部を有する構造の M O N O S トランジスタを備える半導体装置である。

【 0 1 0 0 】

図 2 8 は、本実施の形態に係る半導体装置の備える MONOS トランジスタを示す図である。図 2 8 に示すように、この MONOS トランジスタにおいては、シリコン窒化膜 1 2 2 およびその上のシリコン酸化膜 1 2 3 がソース領域 1 1 1 s およびドレイン領域 1 1 1 d 上で終端している。その他の構成は図 1 5 に示した MONOS トランジスタと同様のため、説明を省略する。

【 0 1 0 1 】

このように、シリコン窒化膜 1 2 2 がソース領域 1 1 1 s およびドレイン領域 1 1 1 d 上で終端しておれば、この MONOS トランジスタが連続して複数のメモリセルとして形成され、隣接するトランジスタ間でゲート絶縁膜 1 2 0 内のシリコン酸化膜 1 2 1 を共有する場合であっても、メモリセルごとに第 1 および第 2 の電荷保持部が絶縁される。よって、メモリセル間で電荷 CH 1, CH 2 の移動が生じることはない。

【 0 1 0 2 】

シリコン窒化膜 1 2 2 にトラップされた電荷が移動することは考えにくい、メモリセルごとに第 1 および第 2 の電荷保持部を絶縁しておくことで、電荷 CH 1, CH 2 の移動範囲を確実に限定することが可能となる。これにより、MONOS トランジスタのしきい値分布の広がりも抑制することができる。

【 0 1 0 3 】

なお、図 2 9 に示すように、第 1 および第 2 の電荷保持部たるシリコン窒化膜 1 2 2 の終端部分には、終端部分を覆う絶縁膜（例えばシリコン酸化膜） 1 2 6 が形成されていてもよい。これにより、ゲート電極 1 3 0 がシリコン窒化膜 1 2 2 の終端部分にまで延在している場合であっても、シリコン窒化膜 1 2 2 に保持された電荷 CH 1, CH 2 がゲート電極 1 3 0 内に移動することを防止できる。

【 0 1 0 4 】

< 実施の形態 9 >

本実施の形態は、実施の形態 8 に係る半導体装置の製造方法の一例である。

【 0 1 0 5 】

本実施の形態においては、実施の形態 5 に係る半導体装置の製造方法と同様に

して、図17～図19に示す工程を行う。この後、図30に示すように、フォトレジスト等のマスク202を形成して、LDD領域111sa, 111daの形成領域を開口する。そして、開口した部分のシリコン酸化膜123およびシリコン窒化膜122をエッチングにより除去し、電荷保持部がソース領域およびドレイン領域上で終端するようにする。

【0106】

この後、マスク202を残したまま不純物注入IP1を行ってLDD領域111sa, 111daを形成する。この後、同様にしてLDD領域111sa, 111daよりも高濃度の不純物注入を行って、ソース領域111sおよびドレイン領域111dを形成する。

【0107】

その後、マスク202を除去してゲート絶縁膜120上にゲート電極130を形成すれば、図28に示すMONOSトランジスタを製造することができる。

【0108】

なお、図29に示すMONOSトランジスタを製造する場合には、図30の段階の後にマスク202を除去し、例えば熱酸化を行って、電荷保持部たるシリコン窒化膜122の終端部分にこれを覆う絶縁膜126を形成すればよい。

【0109】

なお、LDD領域とソース／ドレインの形成の先後については、実施の形態2において説明したように、いずれであってもよい。

【0110】

<実施の形態10>

本実施の形態は、実施の形態1に係る半導体装置の変形例であって、溝TR1の上端部および底部の角部分が丸められている構造のMONOSトランジスタを備える半導体装置である。

【0111】

図31は、本実施の形態に係る半導体装置の備えるMONOSトランジスタを示す図である。図31に示すように、このMONOSトランジスタにおいては、溝TR1の上端部および底部の角部分CR1, CR2が丸められている。その他

の構成は図 1 に示した MONOS トランジスタと同様のため、説明を省略する。

【 0 1 1 2 】

このように、溝 TR 1 の上端部および底部の角部分 CR 1, CR 2 が丸められておれば、角部分における電界の集中を抑制でき、半導体装置の信頼性を向上させることができる。

【 0 1 1 3 】

< 実施の形態 1 1 >

本実施の形態は、実施の形態 1 0 に係る半導体装置の製造方法の一例である。

【 0 1 1 4 】

本実施の形態においては、実施の形態 2 に係る半導体装置の製造方法と同様にして、図 2 に示す工程を行い、溝 TR 1 を半導体基板 1 1 0 内に形成する。この後、図 3 2 に示すように、溝 TR 1 の表面に例えばシリコン酸化膜等からなる犠牲層 2 1 1 を形成する。犠牲層 2 1 1 の形成は、例えば熱酸化法を用いればよい。

【 0 1 1 5 】

その後、犠牲層 2 1 1 を例えばフッ酸を用いたウェットエッチングにより除去する。これにより、図 3 3 に示すように、溝 TR 1 の上端部および底部の角部分 CR 1, CR 2 が丸められる。この後、実施の形態 2 と同様にして図 3 以降の工程を行なえば、図 3 1 に示す MONOS トランジスタを製造することができる。

【 0 1 1 6 】

< 実施の形態 1 2 >

本実施の形態も、実施の形態 1 に係る半導体装置の変形例であり、ゲート絶縁膜に、シリコン窒化膜を含む積層構造を採用せずに、シリコンで形成された複数の島状領域たるドットを有するゲート絶縁膜を採用する場合を示すものである。

【 0 1 1 7 】

シリコン酸化膜内にシリコンのドットを形成する技術が、例えば上記非特許文献 5 に記載されている。本実施の形態においては、ゲート絶縁膜にこのようなシリコンドットを含むシリコン酸化膜を採用する。

【 0 1 1 8 】

図 3 4 は本実施の形態に係る半導体装置の備える M I S トランジスタを示す図である。図 3 4 では、ゲート絶縁膜 1 2 0 が、シリコンドット D T を含む単層構造のゲート絶縁膜（例えばシリコン酸化膜） 2 2 0 に置換されていること以外は、実施の形態 1 に係る半導体装置と同様の構造である。

【 0 1 1 9 】

実施の形態 1 の場合、電荷 C H 1 , C H 2 が保持されるのはシリコン窒化膜 1 2 2 中のトラップ準位であるが、このトラップ準位はシリコン窒化膜 1 2 2 内の欠陥部分に存在しているため、トラップ準位の値が場所により不均一である。そのため、保持した電荷 C H 1 , C H 2 を長期間保存した場合に、エネルギーの揺らぎなどがあれば電荷 C H 1 , C H 2 が抜け出してしまう可能性がある。特に、浅い準位にトラップされた電荷は、深い準位にトラップされた電荷に比べて飛び出してしまいやすい。

【 0 1 2 0 】

シリコンドット D T の場合は、導電性があることからトラップ準位がシリコン窒化膜のものと比べて深く、かつ、場所に関わらず安定しているため、保持した電荷が抜ける確率が低くなる。これはすなわち、実施の形態 1 におけるシリコン窒化膜 1 2 2 のように第 1 および第 2 の電荷保持部がゲート絶縁膜 1 2 0 内で連続する膜である場合に比べて、保持した電荷の移動がより起こりにくく、より不揮発性に優れた半導体装置を実現できることを意味する。

【 0 1 2 1 】

なお、シリコンドットの代わりに、シリコン窒化膜をシリコン酸化膜内にドット状に形成する技術が、例えば上記特許文献 3 に記載されている（当該公報の図 1 を参照）。シリコン窒化膜であっても、ドット状であればゲート絶縁膜 1 2 0 内で連続する膜である場合に比べて、保持した電荷の移動がより起こりにくく、シリコンドット D T の場合と同様の効果があると考えられる。

【 0 1 2 2 】

< 実施の形態 1 3 >

実施の形態 1 2 においては、実施の形態 1 におけるゲート絶縁膜 1 2 0 が、シリコンまたはシリコン窒化膜のドット D T を含む単層構造のゲート絶縁膜 2 2 0

に置換されている構造を説明した。このようなドット D T を含むゲート絶縁膜 2 2 0 は、上述の実施の形態 2 ～ 1 1 の全てにおいてゲート絶縁膜 1 2 0 に置換して用いることが可能である。

【 0 1 2 3 】

すなわち言い換えれば、M I S トランジスタの構造であって、そのゲート絶縁膜中に O N O 膜やドットのような、電荷を保持することが可能な電荷保持部が形成されている構造であれば、本発明の実施の形態 1 ～ 1 2 を適用することが可能である。

【 0 1 2 4 】

< 実施の形態 1 4 >

本実施の形態は、ゲート絶縁膜中のシリコン窒化膜を電荷保持部とし、チャネル中央部上のゲート絶縁膜を下層のシリコン酸化膜のみとした構造の M O N O S トランジスタを備える半導体装置である。

【 0 1 2 5 】

図 4 1 は、本実施の形態に係る半導体装置の備える M O N O S トランジスタを示す図である。図 4 1 に示すように、この M O N O S トランジスタは、シリコン基板等の半導体基板 1 1 0 内に形成されたソース領域 1 1 1 s およびド레인領域 1 1 1 d と、半導体基板 1 1 0 上に形成されたゲート絶縁膜 1 2 0 a と、ゲート絶縁膜 1 2 0 a 上に形成されたゲート電極 1 3 0 とを備える。

【 0 1 2 6 】

このうちゲート絶縁膜 1 2 0 a は、チャネル中央部上以外の部分においては、シリコン酸化膜 1 2 7、シリコン窒化膜 1 2 8 およびシリコン酸化膜 1 2 9 の順に積層された積層膜である。なお、チャネル中央部上においては、ゲート絶縁膜 1 2 0 a は、シリコン酸化膜 1 2 7 の延在した部分 1 2 7 a のみで構成されている。

【 0 1 2 7 】

さて、本実施の形態においては、ソース領域 1 1 1 s およびド레인領域 1 1 1 d を結ぶ方向に互いに対向しつつ離隔して形成されたシリコン窒化膜 1 2 8 が、電荷 C H 1、C H 2 を保持可能な第 1 および第 2 の電荷保持部 1 2 8 b、1 2

8 a として機能する。

【 0 1 2 8 】

そして、チャネル中央部上、すなわち、ゲート絶縁膜 1 2 0 a のうち第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a に挟まれた部分においては、ゲート絶縁膜 1 2 0 a は上述のようにシリコン酸化膜 1 2 7 の延在した部分 1 2 7 a のみで構成されている。よって、その部分の膜厚は、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a が形成された積層膜部分の膜厚よりも小さい。また、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a の間には、ゲート電極 1 3 0 のチャネル中央部上の部分 1 3 0 c が介在する。より具体的には、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a の端部が、ゲート電極 1 3 0 のチャネル中央部上の部分 1 3 0 c と面 1 3 0 b で接している。

【 0 1 2 9 】

図 4 2 は、本実施の形態に係る半導体装置において情報を保持させる場合を示す図である。また、図 4 3 は、本実施の形態に係る半導体装置において情報を読み取る場合を示す図である。

【 0 1 3 0 】

図 4 2 においては、ドレイン領域 1 1 1 d に接地電位 0 [V] (「0」と表示) を与え、ソース領域 1 1 1 s およびゲート電極 1 3 0 に接地電位よりも高い電位 (いずれも「+」と表示) を与えて半導体基板 1 1 0 内にチャネル CN を形成し、情報の書き込みを行う様子を示している。なお、接地電位を基準として例えば、ソース領域 1 1 1 s に与える電位を 5 [V]、ゲート電極 1 3 0 に与える電位を 9 [V] とすればよい。

【 0 1 3 1 】

第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a の形成された部分は積層膜となっており、ゲート絶縁膜 1 2 0 a の膜厚が大きい。よって、積層膜直下においては、ゲート電極 1 3 0 への電圧印加より半導体基板 1 1 0 内にチャネル CN a は浅く形成される。

【 0 1 3 2 】

また、チャネル中央部上においては、シリコン酸化膜 1 2 7 の延在部 1 2 7 a

のみとなっており、ゲート絶縁膜 120a の膜厚が小さい。よって、チャネル中央部内においては、ゲート電極 130 への電圧印加より半導体基板 110 内にチャネル CNb が深く形成される。

【0133】

各部への電圧印加により、電荷（例えば電子）CH2 は、加速しつつドレイン領域 111d からソース領域 111s に向かって、チャネルホットエレクトロンとして移動する。そして、チャネル CN のピンチオフ点 PN 付近で第 2 の電荷保持部 128a にトラップされる。

【0134】

一方、図 43 においては、ソース領域 111s に接地電位 0 [V]（「0」と表示）を与え、ドレイン領域 111d およびゲート電極 130 に接地電位よりも高い電位（いずれも「+」と表示）を与えて半導体基板 110 内にチャネル CN を形成し、情報の読み出しを行う様子を示している。なお、接地電位を基準として例えば、ドレイン領域 111d に与える電位を 1.6 [V]、ゲート電極 130 に与える電位を 3.5 [V] とすればよい。

【0135】

第 2 の電荷保持部 128a にトラップされた電荷 CH2 の多寡に応じて、第 2 の電荷保持部 128a 下の半導体基板 110 内に形成されるチャネル CNc の深さは LB1～LB3 に示すように異なる。この深さ LB1～LB3 の違いにより、MONOS トランジスタのしきい値電圧に変化が生じ、しきい値電圧の変化を検出することにより、メモリセルに 1 ビットの情報が記憶されているか否かを判断できる。

【0136】

また、イレース動作を行う場合は、ゲート電極 130、ソース領域 111s およびドレイン領域 111d の各部に適当な電圧を印加することにより行えばよい。例えば、ドレイン領域 111d に与える電位を 8 [V]、ゲート電極 130 に与える電位を 0 [V] とすればよい。あるいは、ドレイン領域 111d に与える電位を 5 [V]、ゲート電極 130 に与える電位を -6 [V] とすればよい。なお、ソース領域 111s およびドレイン領域 111d の電位を浮遊状態とし、ゲ

ート電極 1 3 0 と半導体基板 1 1 0 との間に所定の電位差を与えれば、第 1 および第 2 の電荷保持部にトラップされた電荷 C H 1 , C H 2 を一括してゲート電極 1 3 0 もしくはチャネル側の半導体基板 1 1 0 に引き抜くことも可能であり、一括消去時に便利となる。

【 0 1 3 7 】

さて、図 4 2 において第 1 の電荷保持部 1 2 8 b には電荷 C H 1 を示していないが、もし図 4 1 のように第 1 の電荷保持部 1 2 8 b に電荷 C H 1 が既にトラップされていた場合であっても、本実施の形態に係る半導体装置によれば、第 2 の電荷保持部 1 2 8 a への電荷 C H 2 のトラップを行うことができる。それは以下の理由からである。

【 0 1 3 8 】

上述のように、チャネル中央部内においては、チャネル C N b は深く形成される。これにより、多数のチャネルホットキャリア（電子の場合はチャネルホットエレクトロン）を生み出すことができる。多数のチャネルホットキャリアが生成されることにより、第 1 の電荷保持部 1 2 8 b に電荷 C H 1 をトラップさせた後に第 2 の電荷保持部 1 2 8 a に電荷 C H 2 をトラップさせる場合であっても、トラップの確率を高めることができる。

【 0 1 3 9 】

また、第 1 および第 2 の電荷保持部 1 2 8 b , 1 2 8 a の間にはゲート電極 1 3 0 が介在するので、第 1 の電荷保持部 1 2 8 b に電荷 C H 1 をトラップさせた後に第 2 の電荷保持部 1 2 8 a に電荷 C H 2 をトラップさせる場合に、ゲート電極 1 3 0 のチャネル中央部上の部分 1 3 0 c がシールドの役割を果たす。

【 0 1 4 0 】

すなわち、上記のように本実施の形態においては、トラップの確率が高く、かつ、ゲート電極 1 3 0 のチャネル中央部上の部分 1 3 0 c がシールドの役割を果たすことから、第 1 の電荷保持部 1 2 8 b の電荷 C H 1 の誘起する電界 E F 1 の影響が第 2 の電荷保持部 1 2 8 a に及びにくく、スケーリングが進んだ場合であっても第 2 の電荷保持部 1 2 8 a への電荷 C H 2 のトラップが妨げられにくい。よって、この M I S トランジスタを不揮発性メモリのメモリセルに適用すれば、

不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置を実現できる。もちろん、図 4 1 に記載の MONOS トランジスタを複数、半導体基板 1 1 0 上に形成し、図 3 6 ～ 図 3 8 のようにアレイ状に配置すれば、複数のメモリセルからなる不揮発性メモリを構成できる。

【 0 1 4 1 】

なお、図 4 1 に示した、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a のチャネル長方向の長さ L 1, L 3、および、シリコン酸化膜 1 2 7 の延在した部分 1 2 7 a のチャネル長方向の長さ L 2 については、ピンチオフ点 P N の設計位置、ゲート電極 1 3 0 やソース領域 1 1 1 s、ドレイン領域 1 1 1 d に与えるべき動作電圧、トランジスタサイズ等に応じて適宜、設定すればよい。例えば、電荷が注入される箇所はピンチオフ点 P N 付近と考えられているので、第 2 の電荷保持部 1 2 8 a がピンチオフ点 P N 上に位置するよう、チャネル長方向の長さ L 3 を設定すればよい。

【 0 1 4 2 】

なお、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a がいずれも、シリコン酸化膜 1 2 7、シリコン窒化膜 1 2 8、および、シリコン酸化膜 1 2 9 の順に半導体基板 1 1 0 上に積層された積層膜のうちのシリコン窒化膜 1 2 8 である。シリコン窒化膜 1 2 8 はシリコン酸化膜 1 2 7, 1 2 9 に挟まれているので、シリコン窒化膜 1 2 8 に保持された電荷 C H 1, C H 2 がゲート電極 1 3 0 及び半導体基板 1 1 0 内に移動することを防止できる。

【 0 1 4 3 】

また、ゲート絶縁膜 1 2 0 a のうち、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a に挟まれた部分は、シリコン酸化膜 1 2 7 の延在した部分 1 2 7 a である。よって、積層膜内のシリコン酸化膜 1 2 7 をゲート絶縁膜 1 2 0 a の薄い膜厚部分として利用することができ、半導体装置の製造が容易である。

【 0 1 4 4 】

なお、トラップさせる電荷 C H 1, C H 2 は電子に限られるわけではなく、例えば正孔であってもよい。

【 0 1 4 5 】

また、図 4 1 の構造に代えて、図 4 4 または図 4 5 のような構造としてもよい。両図においては、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a が、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d 上に端部を有している。図 4 5 では、ゲート電極についても、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d 上で終端した形状 1 3 0 d が採用されている。

【 0 1 4 6 】

よって、実施の形態 8 に係る半導体装置と同様、本実施の形態に係る MONO S トランジスタが連続して複数のメモリセルとして形成され、隣接するトランジスタ間でゲート絶縁膜を共有する場合であっても、メモリセルごとに第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a が絶縁される。よって、メモリセル間で電荷の移動が生じることはない。

【 0 1 4 7 】

< 実施の形態 1 5 >

本実施の形態は、実施の形態 1 4 に係る半導体装置の変形例であって、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a のうち相互に対向する端部とゲート電極 1 3 0 との間に介在する絶縁膜を形成するものである。

【 0 1 4 8 】

図 4 6 は、本実施の形態に係る半導体装置を示す図である。この半導体装置においては図 4 6 に示すように、図 4 1 の構造のうちシリコン酸化膜 1 2 9 を、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a のうちゲート電極 1 3 0 に面する部分をも覆うシリコン酸化膜 1 2 9 c に変更している。具体的には、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a のチャネル側終端部を、シリコン酸化膜 1 2 9 c の端部 1 2 9 d が覆っている。その他の構造は、実施の形態 1 4 に係る半導体装置と同様である。

【 0 1 4 9 】

このように、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a のうちゲート電極 1 3 0 に面する部分をシリコン酸化膜 1 2 9 c で覆えば、第 1 および第 2 の電荷保持部 1 2 8 b, 1 2 8 a に保持された電荷が、ゲート電極 1 3 0 内に移動す

ることを防止できる。

【0150】

なお、図47および図48は、図44および図45の構造にシリコン酸化膜129cを適用したものである。両図においては、第1および第2の電荷保持部128b、128aのチャネル側端部を、シリコン酸化膜129eの端部129dが覆いつつ、第1および第2の電荷保持部128b、128aのソース／ドレイン側端部をも、シリコン酸化膜129eの端部129fが覆っている。その他の構造は、図44および図45と同様である。

【0151】

このように、第1および第2の電荷保持部128b、128aのソース／ドレイン側端部をもシリコン酸化膜129eで覆えば、ゲート電極130が第1および第2の電荷保持部128b、128aの端部にまで延在している場合であっても、第1および第2の電荷保持部128b、128aに保持された電荷がゲート電極130内に移動することを防止できる。

【0152】

<実施の形態16>

本実施の形態も、実施の形態14に係る半導体装置の変形例であり、ゲート絶縁膜の第1および第2の電荷保持部に、シリコン窒化膜を含む積層構造を採用せずに、シリコンで形成された複数の島状領域たるドットを有する絶縁膜を採用するものである。

【0153】

図49は本実施の形態に係る半導体装置の備えるMISトランジスタを示す図である。図49では、シリコンドットDTを含む絶縁膜（例えばシリコン酸化膜）250が、第1および第2の電荷保持部として半導体基板110上に形成されている。なお、チャネル中央部上においては、絶縁膜250は途切れている。すなわち、本実施の形態においては、ソース領域111sおよびドレイン領域111dを結ぶ方向に互いに対向しつつ離隔して形成された絶縁膜250が、電荷CH1、CH2を保持可能な第1および第2の電荷保持部として機能する。

【0154】

そして、半導体基板 1 1 0 のチャネル中央部表面と、絶縁膜 2 5 0 とを覆うシリコン酸化膜 1 2 9 g が、さらに形成されている。絶縁膜 2 5 0 が途切れていることから、チャネル中央部上のゲート絶縁膜は、シリコン酸化膜 1 2 9 g のチャネル上部分 1 2 9 h のみで構成される。一方、第 1 および第 2 の電荷保持部の形成部分のゲート絶縁膜は、絶縁膜 2 5 0 およびシリコン酸化膜 1 2 9 g の積層構造で構成される。なお、シリコン酸化膜 1 2 9 g の膜厚は、第 1 および第 2 の電荷保持部たる絶縁膜 2 5 0 の膜厚よりも小さくしておく。

【 0 1 5 5 】

よって、チャネル中央部上、すなわち、第 1 および第 2 の電荷保持部たる絶縁膜 2 5 0 に挟まれた部分のゲート絶縁膜の膜厚は、第 1 および第 2 の電荷保持部が形成された積層膜部分のゲート絶縁膜の膜厚よりも小さい。また、第 1 および第 2 の電荷保持部たる絶縁膜 2 5 0 の間には、ゲート電極 1 3 0 のチャネル中央部上の部分 1 3 0 c が介在する。

【 0 1 5 6 】

ゲート絶縁膜が、絶縁膜 2 5 0 およびシリコン酸化膜 1 2 9 g に置換されていること以外は、実施の形態 1 4 に係る半導体装置と同様の構造である。なお、シリコンドット D T を採用する利点は、実施の形態 1 2 における記述と同様である。また、シリコンドットの代わりに、ドット状シリコン窒化膜を採用してもよい。

【 0 1 5 7 】

このように、第 1 および第 2 の電荷保持部を、ゲート絶縁膜内に複数形成されたドットで構成すれば、第 1 および第 2 の電荷保持部がシリコン窒化膜 1 2 8 のようにゲート絶縁膜内で連続する膜である場合に比べて、保持した電荷の移動がより起こりにくく、より不揮発性に優れた半導体装置を実現できる。

【 0 1 5 8 】

また、ゲート絶縁膜に例えばシリコン酸化膜を用いる場合、シリコンまたはシリコン窒化膜のドットにおけるエネルギー準位はシリコン酸化膜のエネルギー準位よりも安定している。よって、ドットをシリコンまたはシリコン窒化膜で構成すれば、保持した電荷の移動が起こりにくく、不揮発性に優れた半導体装置を実

現できる。

【0159】

＜実施の形態17＞

本実施の形態は、実施の形態14に係る半導体装置の製造方法の一例である。

【0160】

まず、半導体基板110内にウェル形成やチャネルドープなどを行う。次に、図50に示すように、フォトリジスト等のマスク202aを形成して、ソース領域111sおよびドレイン領域111dを不純物注入IP1により、半導体基板110内において表面に面した位置に形成する。なお、このときの不純物注入IP1の不純物濃度は、 $1 \times 10^{14} \sim 1 \times 10^{15} [\text{／cm}^2]$ 程度と設定すればよい。また、ソース領域111sおよびドレイン領域111d間の距離、すなわちチャネル長については、0.1～0.3 μm 程度とすればよい。

【0161】

そして、マスク202aを除去した後、半導体基板110上にゲート絶縁膜120aを形成する（図51）。すなわち、ゲート絶縁膜120aを構成する、シリコン酸化膜127、シリコン窒化膜128、および、シリコン酸化膜129をこの順に、例えばCVD法により積層して形成する。なお、各部の膜厚については例えば、シリコン酸化膜127を2.5～6.0 nm、シリコン窒化膜128を6.0 nm、シリコン酸化膜129を3.0 nm、程度とすればよい。

【0162】

次に、シリコン酸化膜129上に、フォトリジスト等のマスク202bを形成して、チャネル中央部上に開口部OP6を設ける。そして、これをマスクとして、フォトリソグラフィ技術およびエッチング技術によりシリコン酸化膜129およびシリコン窒化膜128にパターニングを施す（図52）。そして、マスク202bを除去し、シリコン酸化膜127、129上にポリシリコン等の導電膜をCVD法等により形成して、ゲート電極130を設ける。こうすれば、実施の形態14において示したMONOSトランジスタが完成する。

【0163】

なお、図44または図45のような構造にする場合は、図53に示すように、

マスク 2 0 2 b に代えて、開口部 O P 7 を有するマスク 2 0 2 c の形状を採用すればよい。

【 0 1 6 4 】

また、上記においては、マスクとしてフォトレジストを採用する場合を示したが、下地や周りに露出している材料とのエッチング選択比が確保できる材料であれば、シリコン酸化膜やシリコン窒化膜、ポリシリコン等もマスクに採用してよい。

【 0 1 6 5 】

< 実施の形態 1 8 >

本実施の形態は、実施の形態 1 5 に係る半導体装置の製造方法の一例である。

【 0 1 6 6 】

まず、実施の形態 1 7 の場合と同様にして、半導体基板 1 1 0 内にソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成し、半導体基板 1 1 0 上にゲート絶縁膜 1 2 0 a を形成する。そして、シリコン酸化膜 1 2 9 およびシリコン窒化膜 1 2 8 へのパターニング後に、熱酸化法によりシリコン窒化膜 1 2 8 のチャネル側終端部分にこれを覆う絶縁膜を形成し、シリコン酸化膜 1 2 9 c の端部 1 2 9 d とすればよい（図 5 4）。

【 0 1 6 7 】

なお、実施の形態 1 5 に係る半導体装置の構造はこの他にも、例えば以下のようにして製造すればよい。すなわち、図 5 5 に示すように、図 5 2 のパターニング処理において下層のシリコン酸化膜 1 2 7 までエッチングを行い、その後、図 5 6 に示すように、露出したチャネル部分の半導体基板 1 1 0 およびシリコン窒化膜 1 2 8 のチャネル側終端部分を熱酸化してシリコン酸化膜 1 2 9 i を形成すればよい。

【 0 1 6 8 】

あるいは、図 5 7 に示すように、シリコン酸化膜 1 2 7 およびシリコン窒化膜 1 2 8 を半導体基板 1 1 0 上に形成した後に、図 5 2 のパターニング処理を行って、シリコン窒化膜 1 2 8 にのみパターニングを行い、その後、シリコン窒化膜 1 2 8 の表面およびチャネル側端部を熱酸化して、図 5 4 の構造を製造してもよ

い。

【 0 1 6 9 】

<実施の形態 1 9>

本実施の形態は、実施の形態 1 6 に係る半導体装置の製造方法の一例である。

【 0 1 7 0 】

まず、図 5 0 と同様にして、半導体基板 1 1 0 内にソース領域 1 1 1 s およびドレイン領域 1 1 1 d を形成する。そして、例えば上記非特許文献 5 に記載の技術を用いて、シリコンドット D T を含むシリコン酸化膜たる絶縁膜 2 5 0 を半導体基板 1 1 0 上に形成する。

【 0 1 7 1 】

次に、図 5 8 に示すように、絶縁膜 2 5 0 上に、フォトレジスト等のマスク 2 0 2 b を形成して、チャネル中央部上に開口部 O P 6 を設ける。そして、これをマスクとして、フォトリソグラフィ技術およびエッチング技術により絶縁膜 2 5 0 にパターニングを施す。そして、マスク 2 0 2 b を除去し、図 5 9 に示すように、露出したチャネル部分の半導体基板 1 1 0 および絶縁膜 2 5 0 上にシリコン酸化膜 1 2 9 g を形成する。

【 0 1 7 2 】

この後、シリコン酸化膜 1 2 9 g 上にポリシリコン等の導電膜を C V D 法等により形成して、ゲート電極 1 3 0 を設ける。こうすれば、実施の形態 1 6 において示した M O N O S トランジスタが完成する。

【 0 1 7 3 】

なお、シリコンドットの代わりに、ドット状シリコン窒化膜を採用する場合には、例えば上記特許文献 3 に記載の技術を用いればよい。

【 0 1 7 4 】

<実施の形態 2 0>

本実施の形態は、実施の形態 1 に係る半導体装置の変形例であって、第 1 および第 2 の電荷保持部が、溝の側面に隣接するゲート絶縁膜内に形成された半導体装置である。

【 0 1 7 5 】

図 6 0 は、本実施の形態に係る半導体装置の備える MONOS トランジスタを示す図である。図 6 0 に示すように、この MONOS トランジスタにおいては、溝 TR 1 a はソース領域 1 1 1 s およびドレイン領域 1 1 1 d よりも十分に深く形成され、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d は溝 TR 1 a に隣接して形成されている。

【 0 1 7 6 】

なお、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d のうち半導体基板 1 1 0 の内奥部側は、不純物濃度が比較的低い LDD 領域 1 1 1 s 1, 1 1 1 d 1 となっており、半導体基板 1 1 0 の表面側は、不純物濃度が比較的高い高濃度領域 1 1 1 s 2, 1 1 1 d 2 となっている。

【 0 1 7 7 】

そして、電荷 CH 1, CH 2 を保持することが可能な第 1 および第 2 の電荷保持部が、溝 TR 1 a の側面のうちソース領域 1 1 1 s およびドレイン領域 1 1 1 d よりも深い部分に隣接するゲート絶縁膜 1 2 0 内に形成されている。

【 0 1 7 8 】

メモリセルとして、この MONOS トランジスタにプログラム動作およびイレース動作を行う場合は、実施の形態 1 の場合と同様にして、半導体基板 1 1 0、ゲート電極 1 3 0、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d の各部に適当な電圧を印加することにより行えばよい。

【 0 1 7 9 】

なお、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d が溝 TR 1 a に隣接して形成されているので、第 1 および第 2 の電荷保持部の位置は、図 6 0 に示すようにゲート絶縁膜 1 2 0 のうちソース領域 1 1 1 s およびドレイン領域 1 1 1 d よりも深い部分になる。

【 0 1 8 0 】

この場合も実施の形態 1 の場合と同様、第 1 の電荷保持部に電荷 CH 1 をトラップさせた後に第 2 の電荷保持部に電荷 CH 2 をトラップさせる場合に、ゲート電極のうち溝 TR 1 a 内の部分 1 3 0 e がシールドの役割を果たす。また、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d 間に深い溝 TR 1 a が形成されてい

るので、実効チャネル長が大きくなり、パンチスルーへの耐性も向上する。

【 0 1 8 1 】

本実施の形態の場合、溝 T R 1 a の側面に隣接するゲート絶縁膜 1 2 0 内に第 1 および第 2 の電荷保持部を設けるので、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d を溝 T R 1 a に隣接して形成することが可能であり、半導体基板 1 1 0 表面の平面視においてソース／ドレイン間の距離を小さくすることができる。

【 0 1 8 2 】

すなわち、半導体基板 1 1 0 表面の平面視において M O N O S トランジスタのゲート長方向の長さを小さくすることができ、半導体基板 1 1 0 の表面に形成可能な素子数を増加させて集積度の向上が図れる。

【 0 1 8 3 】

なお、図 6 0 の構造を形成するには、以下の方法を採用すればよい。すなわち、まず、不純物注入により半導体基板 1 1 0 の表面に不純物濃度が比較的低い低濃度領域を形成し、続いて、当該低濃度領域よりも浅く、不純物濃度が比較的高い高濃度領域を形成する。上記低濃度領域および高濃度領域には、必要に応じてアニール処理を行えばよい。

【 0 1 8 4 】

次に、当該低濃度領域および高濃度領域を分断するように、溝 T R 1 a をフォトリソグラフィ技術およびエッチング技術を用いて形成する。溝 T R 1 a により分断された両側の低濃度領域および高濃度領域は、ソース領域 1 1 1 s およびドレイン領域 1 1 1 d となる。

【 0 1 8 5 】

次に、熱酸化法や C V D 法等により半導体基板 1 1 0 上にシリコン酸化膜 1 2 1 を形成し、続いて C V D 法等によりシリコン酸化膜 1 2 1 上にシリコン窒化膜 1 2 2 を形成する。そして、熱酸化法や C V D 法等によりシリコン窒化膜 1 2 2 上にシリコン酸化膜 1 2 3 を形成し、O N O 構造のゲート絶縁膜 1 2 0 を完成する。

【 0 1 8 6 】

そして、シリコン酸化膜 1 2 3 上にゲート電極 1 3 0 を形成すれば、図 6 0 の

構造が得られる。

【0187】

なお、図61は、本実施の形態に係る半導体装置の備えるMONOSトランジスタの他の例を示す図である。図61に示すように、このMONOSトランジスタにおいては、溝TR1aの側面部分においてのみシリコン酸化膜121、シリコン窒化膜122、シリコン酸化膜123のONO構造となっており、半導体基板110の表面上および溝TR1aの底面においてはシリコン窒化膜122が形成されない。それ以外の点は、図60の構造と同様である。

【0188】

この場合も、図60の半導体装置と同様に、第1の電荷保持部に電荷CH1をトラップさせた後に第2の電荷保持部に電荷CH2をトラップさせる場合に、ゲート電極のうち溝TR1a内の部分130eがシールドの役割を果たす。また、ソース領域111sおよびドレイン領域111d間に深い溝TR1aが形成されているので、実効チャネル長が大きくなり、パンチスルーへの耐性も向上する。そして、半導体基板110表面の平面視においてMONOSトランジスタのゲート長方向の長さを小さくすることができ、半導体基板110の表面に形成可能な素子数を増加させて集積度の向上が図れる。

【0189】

なお、図61の構造を形成するには、以下の方法を採用すればよい。すなわち、図60の構造を形成する場合と同様に、溝TR1a、ソース領域111s、ドレイン領域111d、シリコン酸化膜121およびシリコン窒化膜122を形成する。

【0190】

次に、シリコン窒化膜122に異方性エッチバックを施して、半導体基板110の表面上および溝TR1aの底面上のシリコン窒化膜122を除去する。これにより、シリコン窒化膜122は溝TR1aの側面にのみ残置する。

【0191】

その後、熱酸化法やCVD法等によりシリコン酸化膜121上およびシリコン窒化膜122上にシリコン酸化膜123を形成し、ゲート絶縁膜120bを完成

する。そして、シリコン酸化膜 1 2 3 上にゲート電極 1 3 0 を形成すれば、図 6 1 の構造が得られる。

【 0 1 9 2 】

【発明の効果】

請求項 1 に記載の発明によれば、M I S トランジスタにおいて、ゲート電極が溝に入り込むようにゲート絶縁膜上に形成され、ゲート絶縁膜中には、第 1 および第 2 の電荷保持部が溝を挟むように形成されている。よって、第 1 の電荷保持部に電荷をトラップさせた後に第 2 の電荷保持部に電荷をトラップさせる場合に、溝内のゲート電極がシールドの役割を果たす。すなわち、第 1 の電荷保持部の電荷の誘起する電界の影響が第 2 の電荷保持部に及ぶことがなく、スケーリングが進んだ場合であっても第 2 の電荷保持部への電荷のトラップが妨げられることがない。よって、この M I S トランジスタを不揮発性メモリのメモリセルに適用すれば、不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置を実現できる。また、ソース領域およびドレイン領域間に溝が形成されているので実効チャネル長が大きくなり、パンチスルーへの耐性も向上する。

【 0 1 9 3 】

請求項 2 に記載の発明によれば、ゲート絶縁膜は、第 1 のシリコン酸化膜、シリコン窒化膜、および、第 2 のシリコン酸化膜の順に積層された積層膜であって、第 1 および第 2 の電荷保持部とは、シリコン窒化膜のうち溝を挟む、互いに対向する第 1 および第 2 の部分である。よって、請求項 1 に係る半導体装置を M O N O S トランジスタで実現できる。

【 0 1 9 4 】

請求項 3 に記載の発明によれば、ゲート絶縁膜のうち溝に入り込んだ部分には、第 1 および第 2 の電荷保持部は形成されない。よって、溝部分のゲート絶縁膜の膜厚を薄くすることができ、溝部分におけるチャネル生成に必要なゲート電圧の値を低く抑えることができる。

【 0 1 9 5 】

請求項 4 に記載の発明によれば、半導体基板上には、他の M I S トランジスタ

も形成されている。よって、本発明に係る半導体装置を例えば、M I S トランジスタをメモリセルに用い、他のM I S トランジスタを論理回路の構成素子に用いるシステムL S I (Large Scale Integration) として構成することが可能である。

【 0 1 9 6 】

請求項5に記載の発明によれば、ゲート絶縁膜のうち溝に入り込んだ部分には、第1および第2の電荷保持部は形成されず、かつ、他のM I S トランジスタの他のゲート絶縁膜が延在して形成されている。よって、ゲート絶縁膜のうち溝に入り込んだ部分の材質を、他のゲート絶縁膜の材質と同じくすることができ、例えば高誘電率絶縁膜を溝部分に採用することが可能となる。

【 0 1 9 7 】

請求項6に記載の発明によれば、第1および第2の電荷保持部は、ソース領域およびドレイン領域上に端部を有する。よって、請求項1に記載のM I S トランジスタが連続して複数のメモリセルとして形成され、隣接するトランジスタ間でゲート絶縁膜を共有する場合であっても、メモリセルごとに第1および第2の電荷保持部が絶縁される。よって、メモリセル間で電荷の移動が生じることはない。

【 0 1 9 8 】

請求項7に記載の発明によれば、第1および第2の電荷保持部の端部には、端部を覆う絶縁膜が形成されている。よって、ゲート電極が第1および第2の電荷保持部の終端部分にまで延在している場合であっても、第1および第2の電荷保持部に保持された電荷がゲート電極内に移動することを防止できる。

【 0 1 9 9 】

請求項8に記載の発明によれば、溝の上端部および底部の角部分は丸められている。よって、角部分における電界の集中を抑制でき、半導体装置の信頼性を向上させることができる。

【 0 2 0 0 】

請求項9に記載の発明によれば、第1および第2の電荷保持部は、ゲート絶縁膜内に複数形成された島状領域たるドットである。よって、第1および第2の電

荷保持部がゲート絶縁膜内で連続する膜である場合に比べて、保持した電荷の移動がより起こりにくく、より不揮発性に優れた半導体装置を実現できる。

【0201】

請求項10に記載の発明によれば、島状領域たるドットは、シリコンまたはシリコン窒化膜で構成される。ゲート絶縁膜に例えばシリコン酸化膜を用いる場合、シリコンまたはシリコン窒化膜のドットにおけるエネルギー準位はシリコン酸化膜のエネルギー準位よりも安定している。よって、保持した電荷の移動が起こりにくく、不揮発性に優れた半導体装置を実現できる。

【0202】

請求項12に記載の発明によれば、ゲート絶縁膜のうち、第1および第2の電荷保持部に挟まれた部分の膜厚は、第1および第2の電荷保持部が形成された部分の膜厚よりも小さい。よって、ゲート電極に電圧を印加して第1または第2の電荷保持部に電荷をトラップさせる際に、第1および第2の電荷保持部に挟まれた部分直下の半導体基板内に深いチャンネル<CNb>を形成して、多数のチャンネルホットキャリアを生み出すことができる。多数のチャンネルホットキャリアが生成されることにより、第1の電荷保持部に電荷をトラップさせた後に第2の電荷保持部に電荷をトラップさせる場合であっても、トラップの確率を高めることができる。また、第1および第2の電荷保持部の間にはゲート電極が介在するので、第1の電荷保持部に電荷をトラップさせた後に第2の電荷保持部に電荷をトラップさせる場合に、第1および第2の電荷保持部間に介在するゲート電極がシールドの役割を果たす。すなわち、第1の電荷保持部の電荷の誘起する電界の影響が第2の電荷保持部に及びにくく、スケーリングが進んだ場合であっても第2の電荷保持部への電荷のトラップが妨げられにくい。よって、このMISトランジスタを不揮発性メモリのメモリセルに適用すれば、不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置を実現できる。

【図面の簡単な説明】

【図1】 実施の形態1に係る半導体装置を示す図である。

【図2】 実施の形態2に係る半導体装置の製造方法を示す図である。

- 【図 3】 実施の形態 2 に係る半導体装置の製造方法を示す図である。
- 【図 4】 実施の形態 2 に係る半導体装置の製造方法を示す図である。
- 【図 5】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 6】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 7】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 8】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 9】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 0】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 1】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 2】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 3】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 4】 実施の形態 3 に係る半導体装置の製造方法を示す図である。
- 【図 1 5】 実施の形態 4 に係る半導体装置を示す図である。
- 【図 1 6】 実施の形態 4 に係る半導体装置の他の例を示す図である。
- 【図 1 7】 実施の形態 5 に係る半導体装置の製造方法を示す図である。
- 【図 1 8】 実施の形態 5 に係る半導体装置の製造方法を示す図である。
- 【図 1 9】 実施の形態 5 に係る半導体装置の製造方法を示す図である。
- 【図 2 0】 実施の形態 5 に係る半導体装置の製造方法を示す図である。
- 【図 2 1】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 2】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 3】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 4】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 5】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 6】 実施の形態 6 に係る半導体装置の製造方法を示す図である。
- 【図 2 7】 実施の形態 7 に係る半導体装置の製造方法を示す図である。
- 【図 2 8】 実施の形態 8 に係る半導体装置を示す図である。
- 【図 2 9】 実施の形態 8 に係る半導体装置の他の例を示す図である。
- 【図 3 0】 実施の形態 9 に係る半導体装置の製造方法を示す図である。
- 【図 3 1】 実施の形態 1 0 に係る半導体装置を示す図である。

- 【図 3 2】 実施の形態 1 1 に係る半導体装置の製造方法を示す図である。
- 【図 3 3】 実施の形態 1 1 に係る半導体装置の製造方法を示す図である。
- 【図 3 4】 実施の形態 1 2 に係る半導体装置を示す図である。
- 【図 3 5】 不揮発性メモリのメモリセルに利用される従来の半導体装置を示す断面図である。
- 【図 3 6】 不揮発性メモリの構造を示す上面図である。
- 【図 3 7】 不揮発性メモリのより具体的な構造の一例を示す斜視図である。
- 【図 3 8】 不揮発性メモリのより具体的な構造の他の一例を示す斜視図である。
- 【図 3 9】 従来の半導体装置のスケーリングを示す図である。
- 【図 4 0】 従来の半導体装置において 2 ビットの情報を保持させる場合のスケーリングを示す図である。
- 【図 4 1】 実施の形態 1 4 に係る半導体装置を示す図である。
- 【図 4 2】 実施の形態 1 4 に係る半導体装置において情報を保持させる場合を示す図である。
- 【図 4 3】 実施の形態 1 4 に係る半導体装置において情報を読み取る場合を示す図である。
- 【図 4 4】 実施の形態 1 4 に係る半導体装置の他の例を示す図である。
- 【図 4 5】 実施の形態 1 4 に係る半導体装置の他の例を示す図である。
- 【図 4 6】 実施の形態 1 5 に係る半導体装置を示す図である。
- 【図 4 7】 実施の形態 1 5 に係る半導体装置の他の例を示す図である。
- 【図 4 8】 実施の形態 1 5 に係る半導体装置の他の例を示す図である。
- 【図 4 9】 実施の形態 1 6 に係る半導体装置を示す図である。
- 【図 5 0】 実施の形態 1 7 に係る半導体装置の製造方法を示す図である。
- 【図 5 1】 実施の形態 1 7 に係る半導体装置の製造方法を示す図である。
- 【図 5 2】 実施の形態 1 7 に係る半導体装置の製造方法を示す図である。
- 【図 5 3】 実施の形態 1 7 に係る半導体装置の製造方法を示す図である。
- 【図 5 4】 実施の形態 1 8 に係る半導体装置の製造方法を示す図である。

【図 5 5】 実施の形態 1 8 に係る半導体装置の製造方法を示す図である。

【図 5 6】 実施の形態 1 8 に係る半導体装置の製造方法を示す図である。

【図 5 7】 実施の形態 1 8 に係る半導体装置の製造方法を示す図である。

【図 5 8】 実施の形態 1 9 に係る半導体装置の製造方法を示す図である。

【図 5 9】 実施の形態 1 9 に係る半導体装置の製造方法を示す図である。

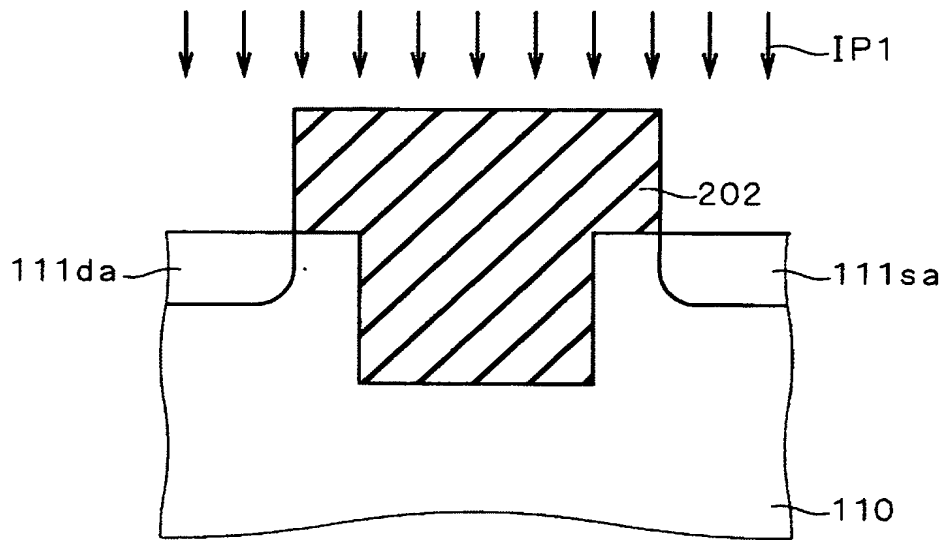
【図 6 0】 実施の形態 2 0 に係る半導体装置を示す図である。

【図 6 1】 実施の形態 2 0 に係る半導体装置の他の例を示す図である。

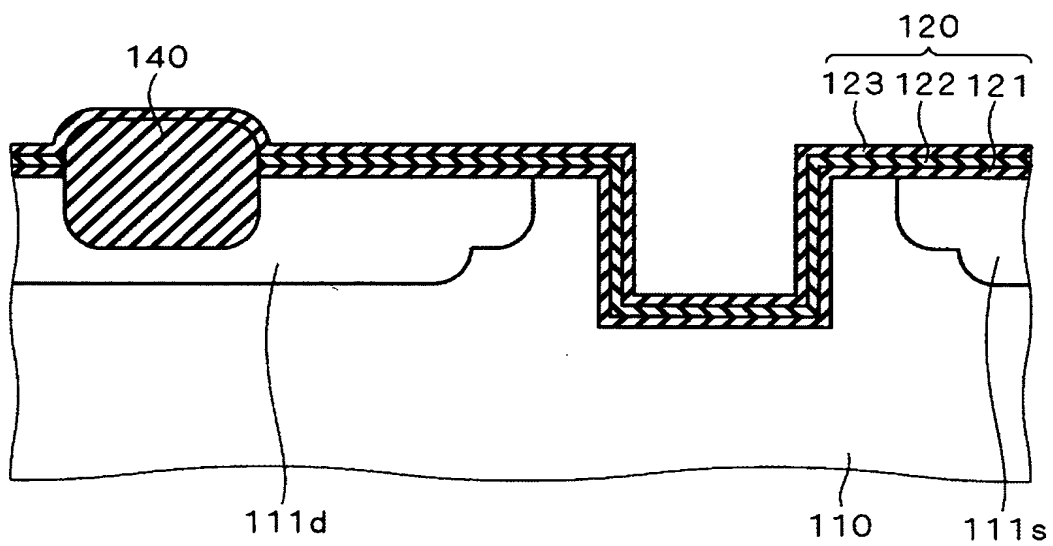
【符号の説明】

1 1 0 半導体基板、1 1 1 s ソース領域、1 1 1 d ドレイン領域、1 2 0, 1 2 0 a, 1 2 4, 1 2 5, 2 2 0, 2 5 0 ゲート絶縁膜、1 2 1, 1 2 3, 1 2 7, 1 2 9, 1 2 9 g, 1 2 9 i シリコン酸化膜、1 2 2, 1 2 8 シリコン窒化膜、1 3 0 ゲート電極、1 4 0 素子分離領域、1 5 0 層間絶縁膜、2 0 3 ダミー膜、2 0 4 第 1 のマスク膜、2 0 6 サイドウォール膜、2 0 7 SOG、DT ドット、CH 1, CH 2 電荷。

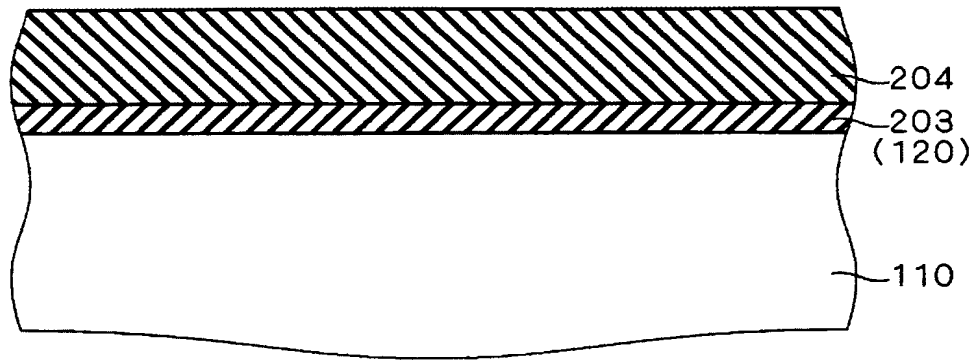
【図 3】



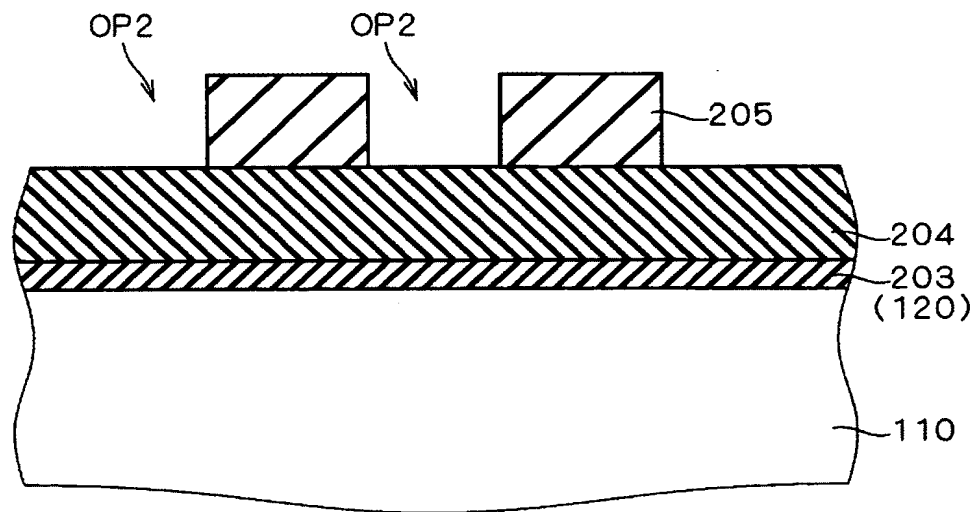
【図 4】



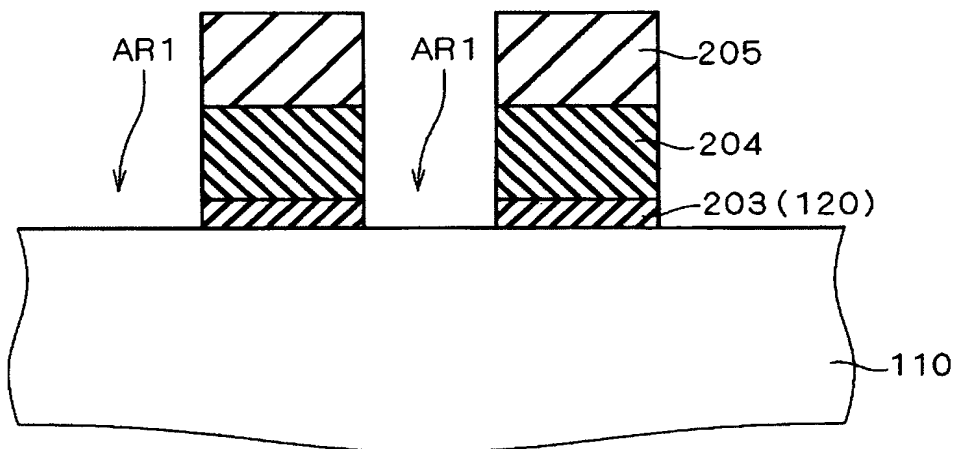
【図 5】



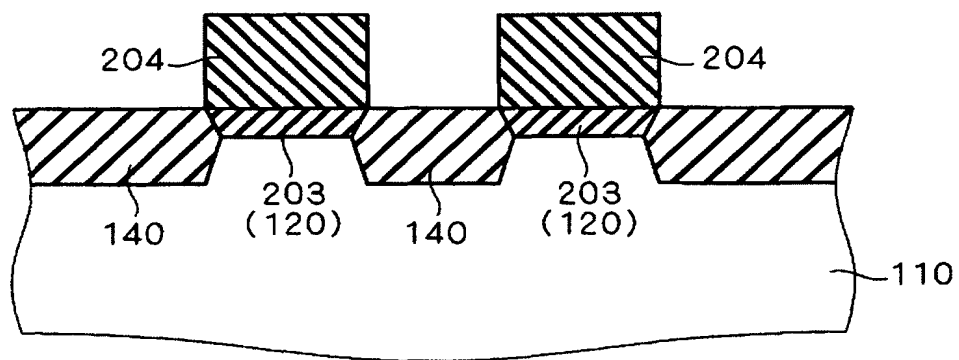
【図 6】



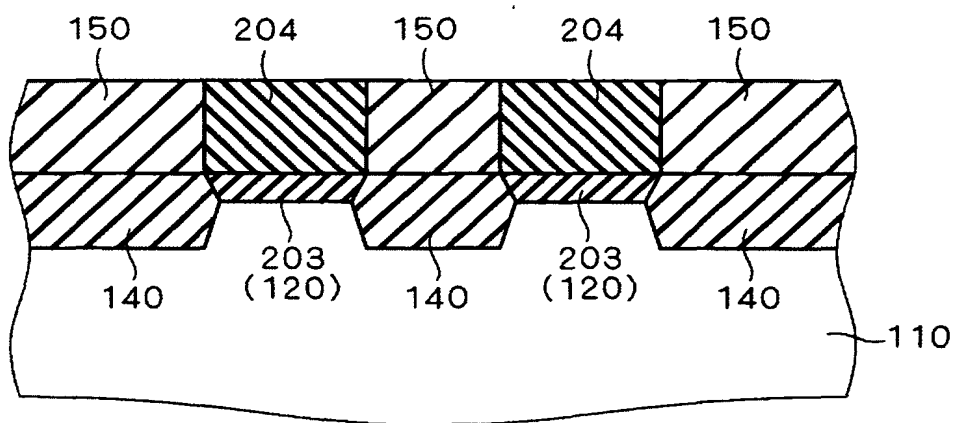
【図 7】



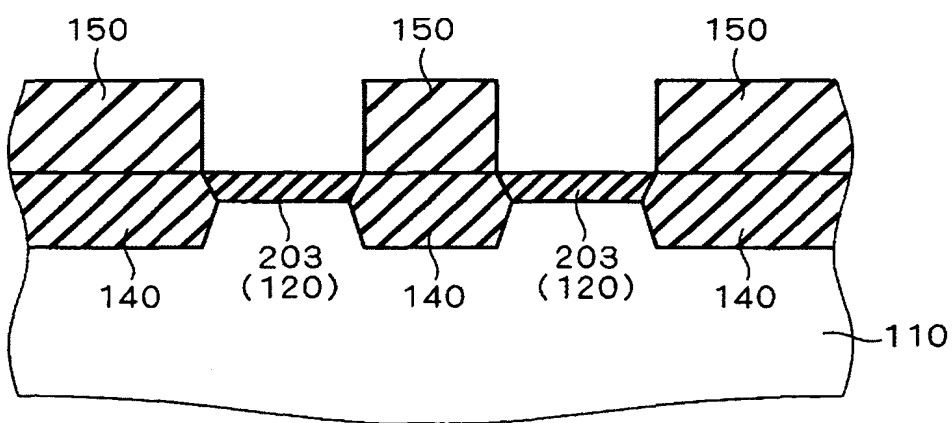
【図 8】



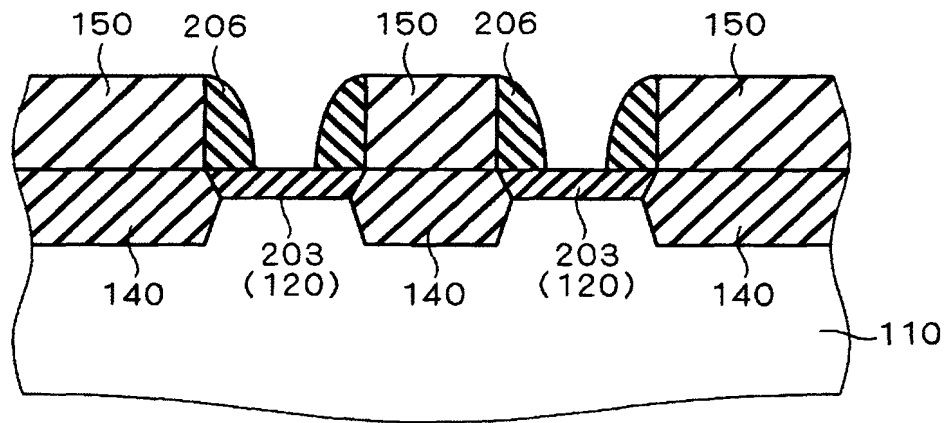
【図 9】



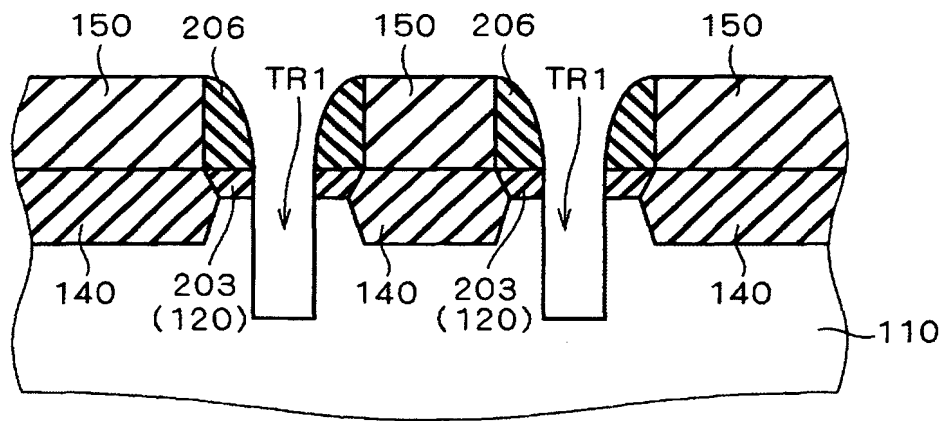
【図 10】



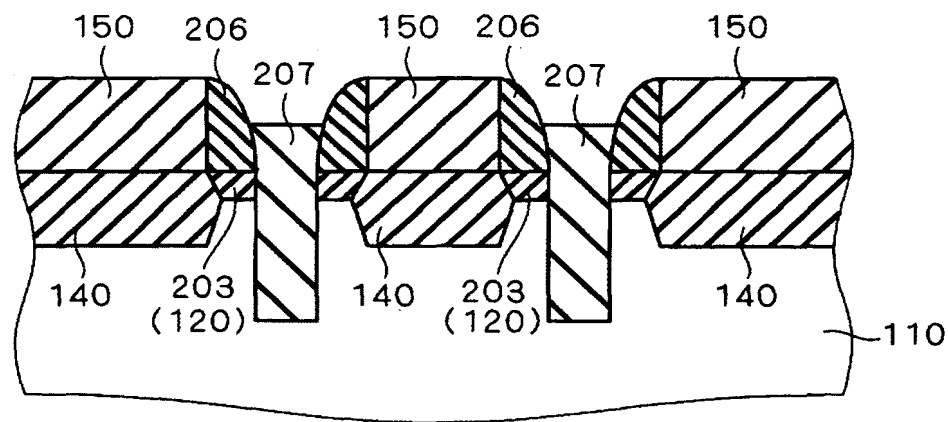
【図 1 1】



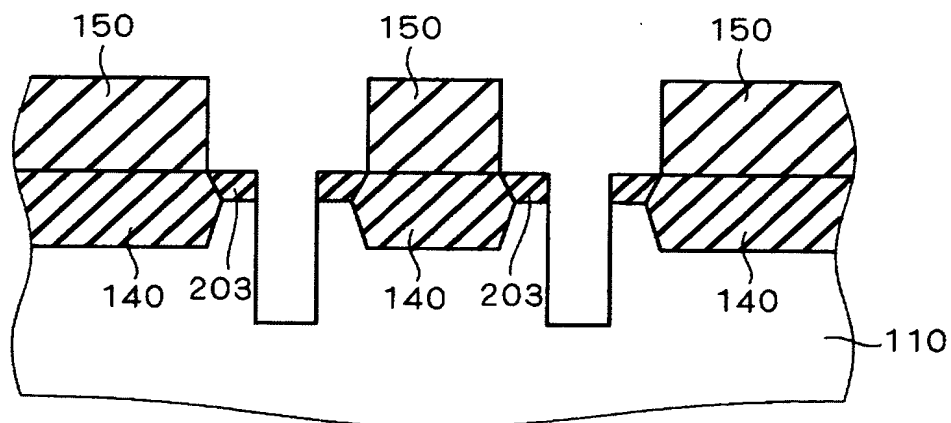
【図 1 2】



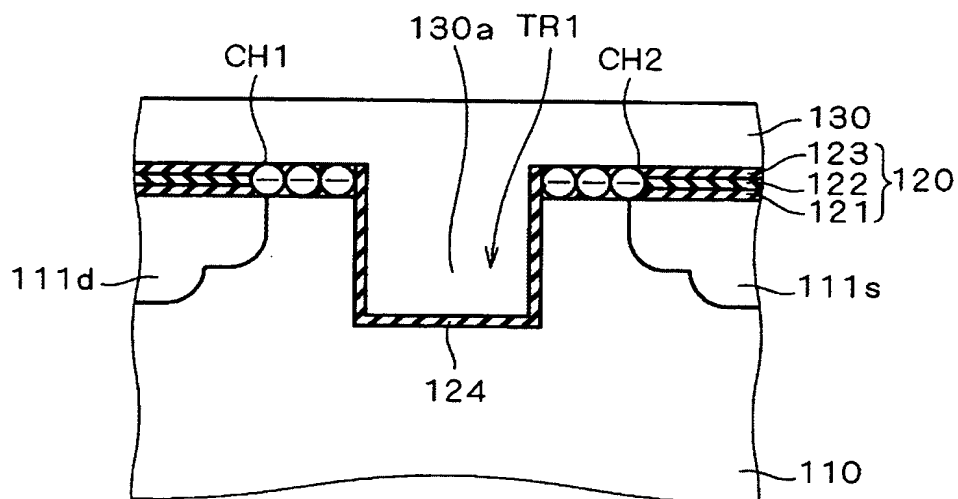
【図 1 3】



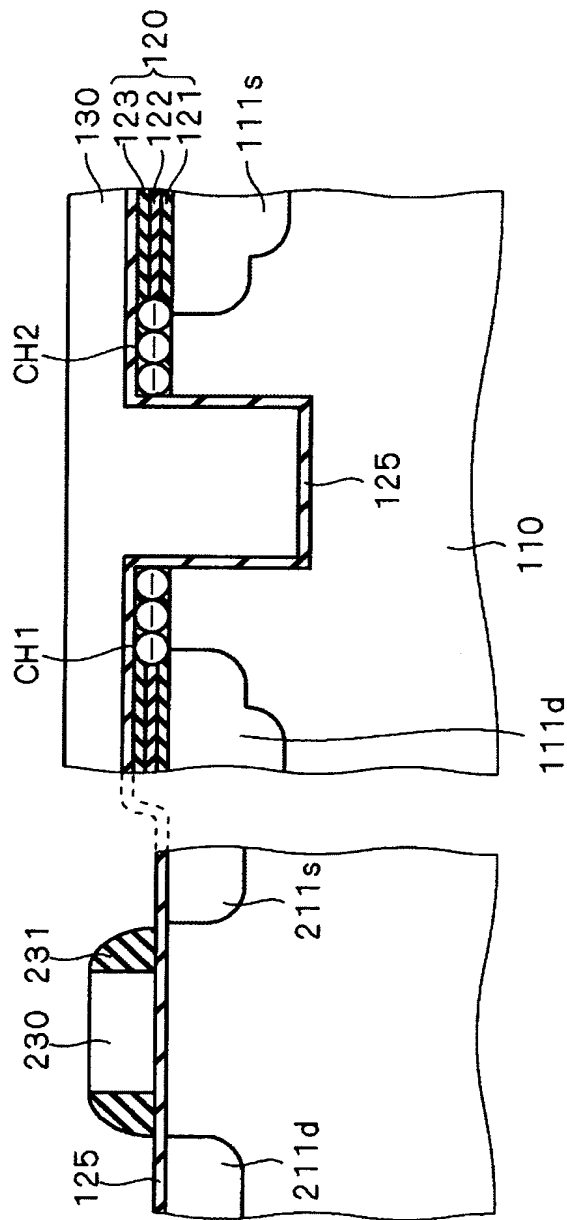
【図 14】



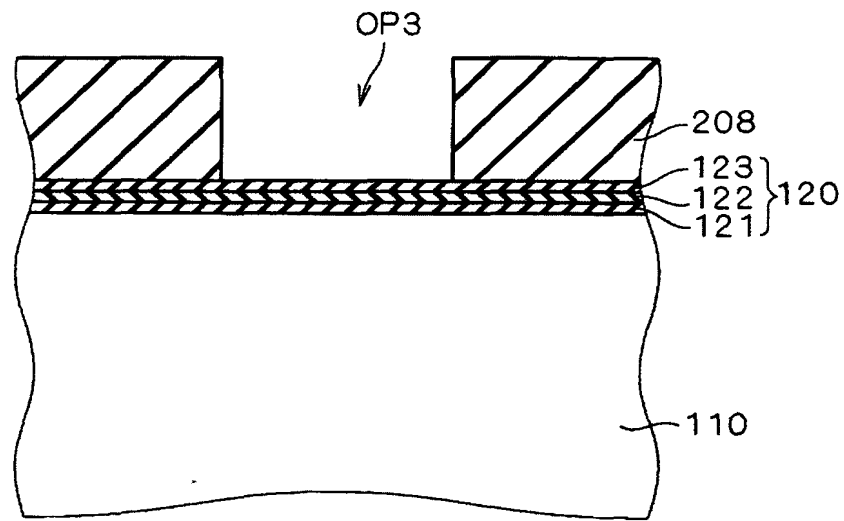
【図 15】



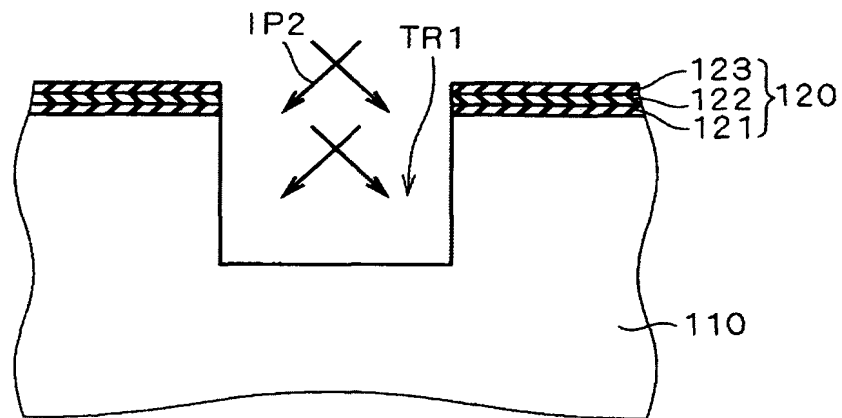
【図 16】



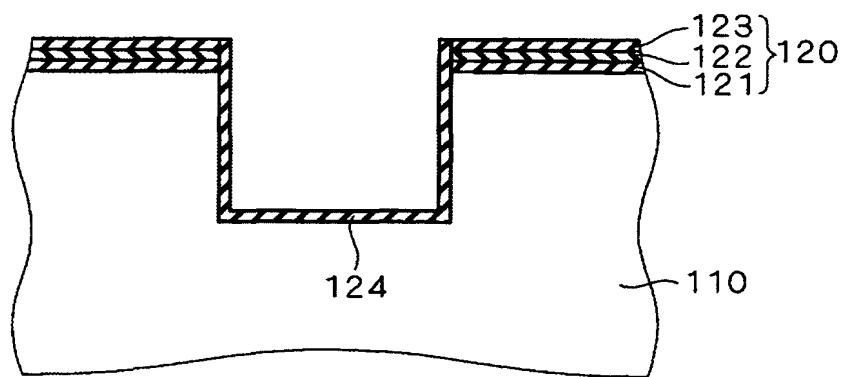
【図 17】



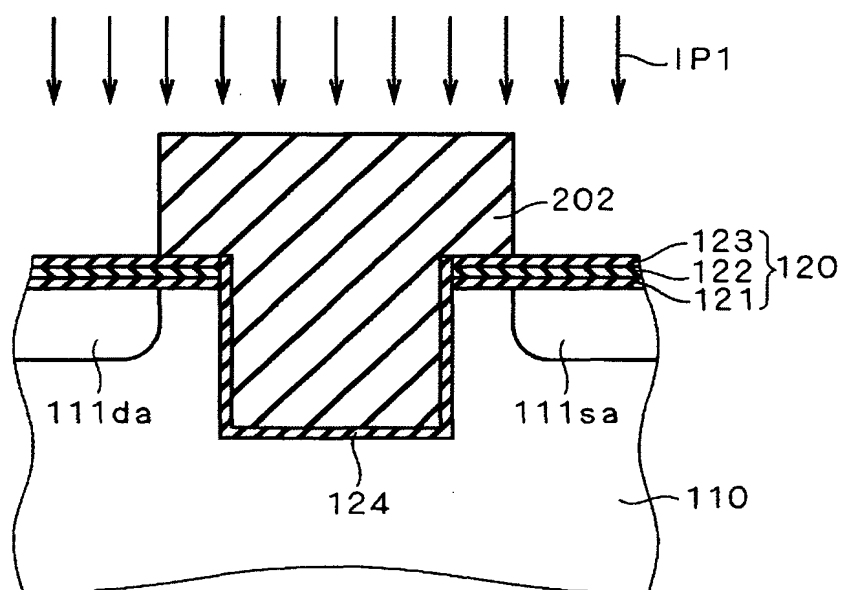
【図 18】



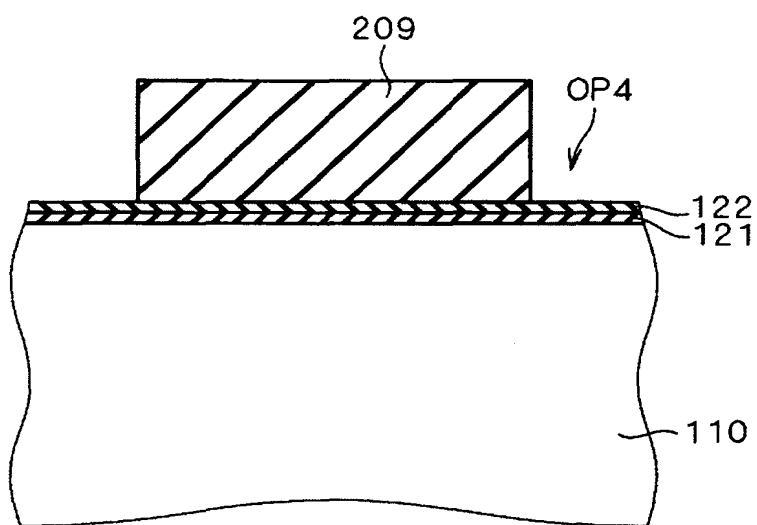
【図 19】



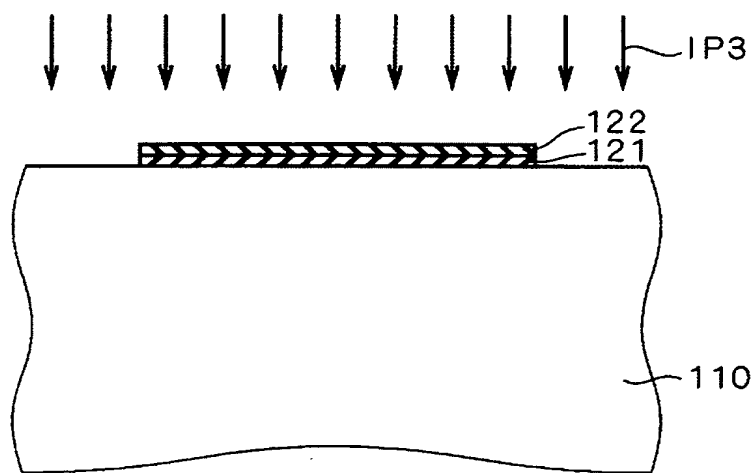
【図 2 0】



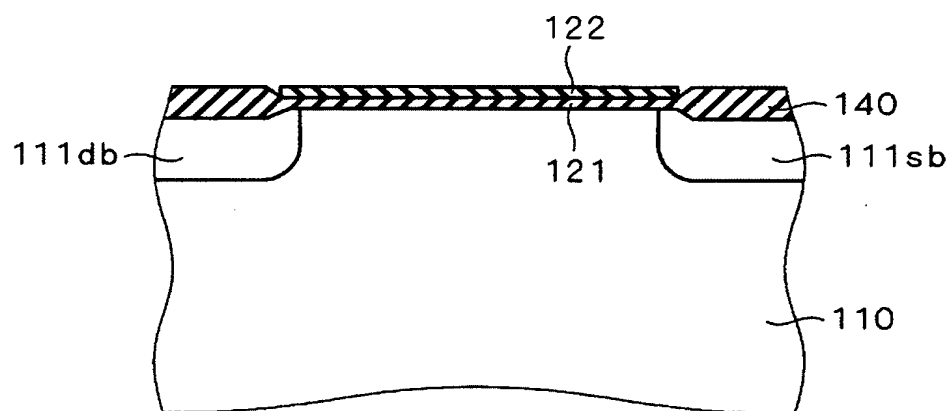
【図 2 1】



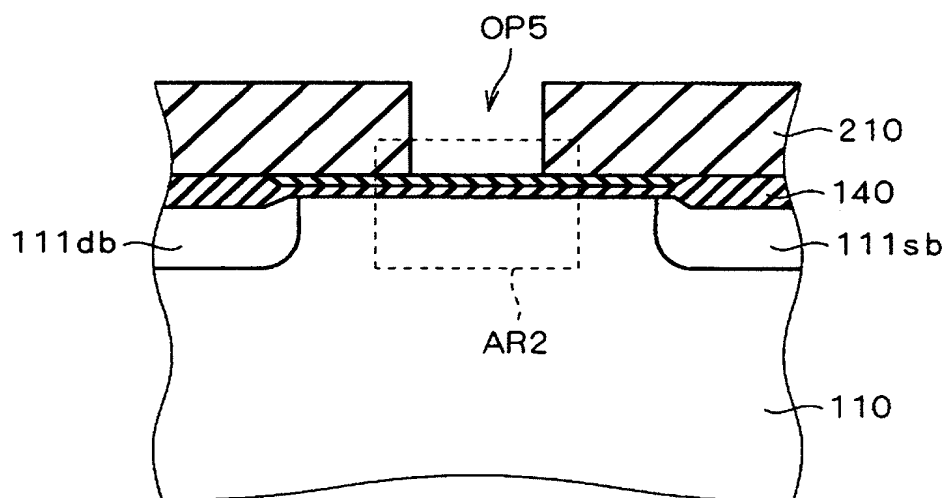
【図 2 2】



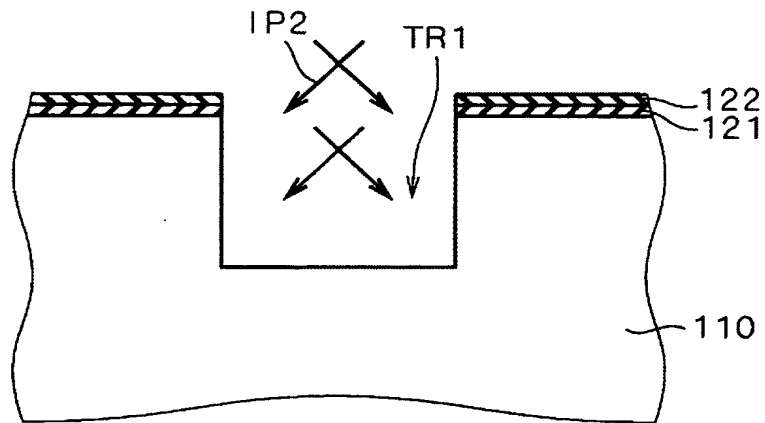
【図 2 3】



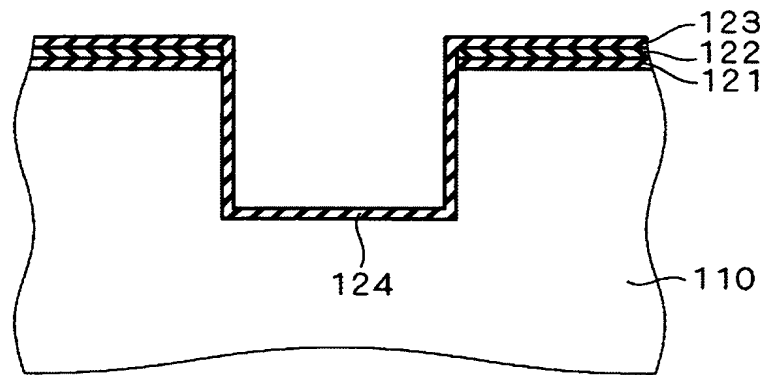
【図 2 4】



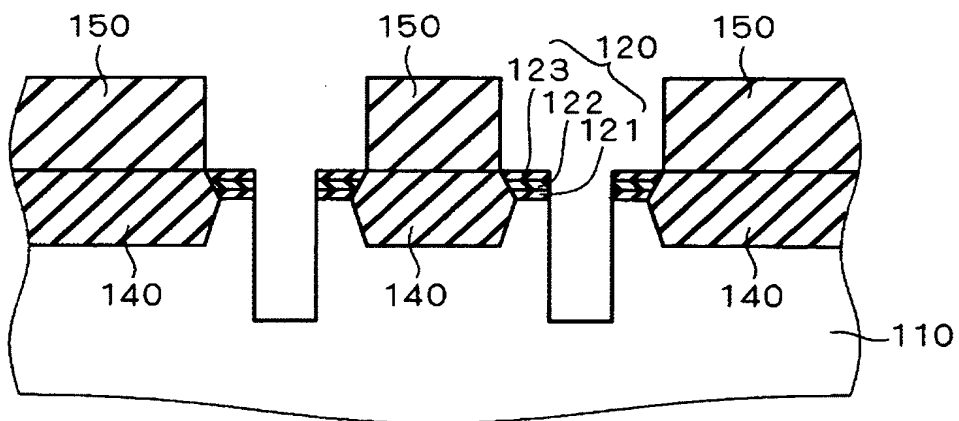
【図 25】



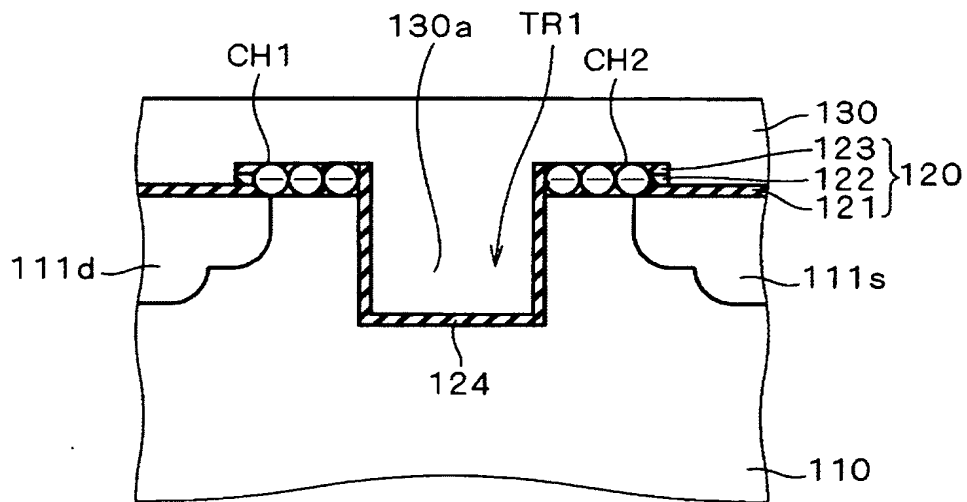
【図 26】



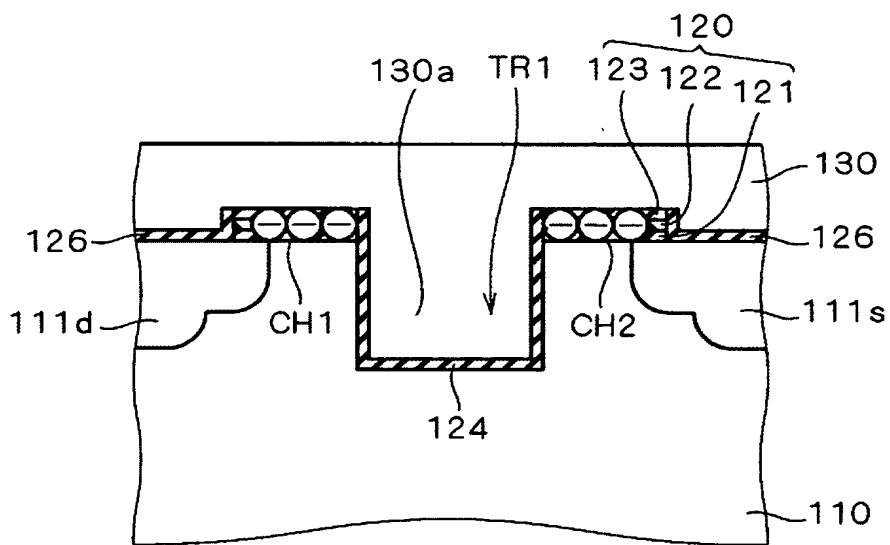
【図 27】



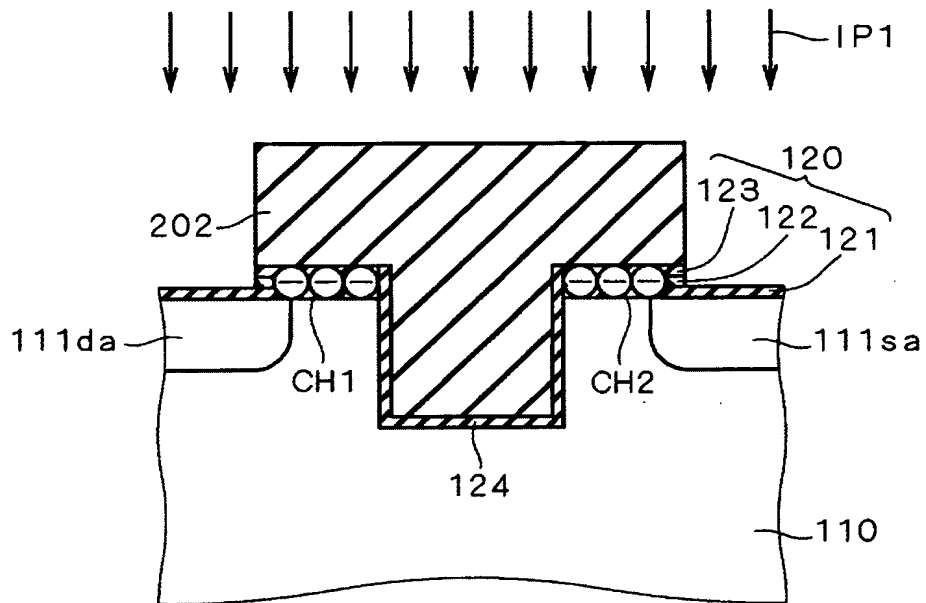
【図 28】



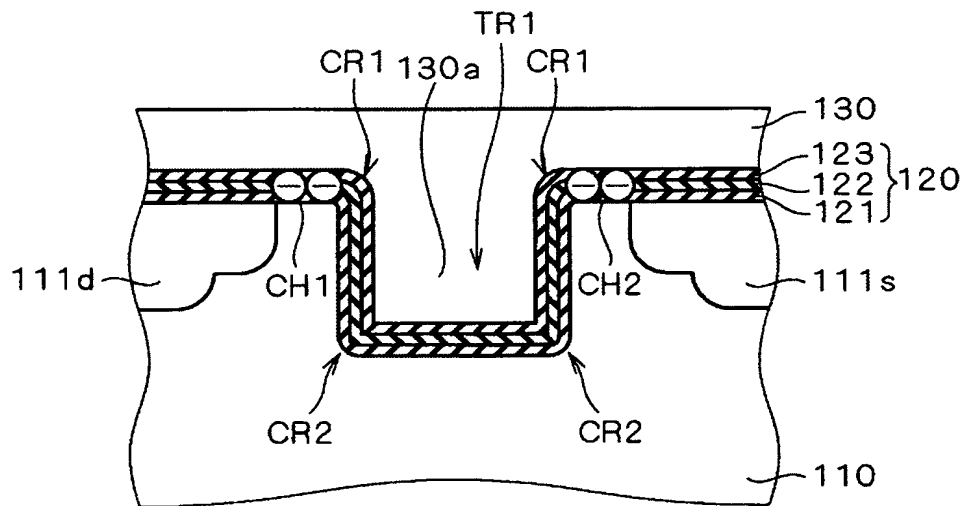
【図 29】



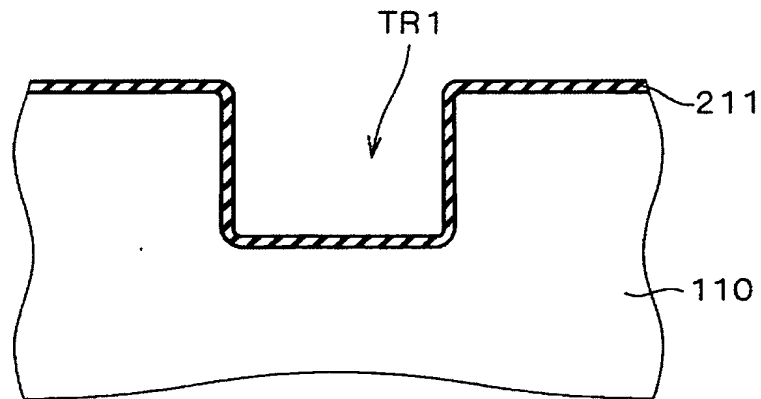
【図 30】



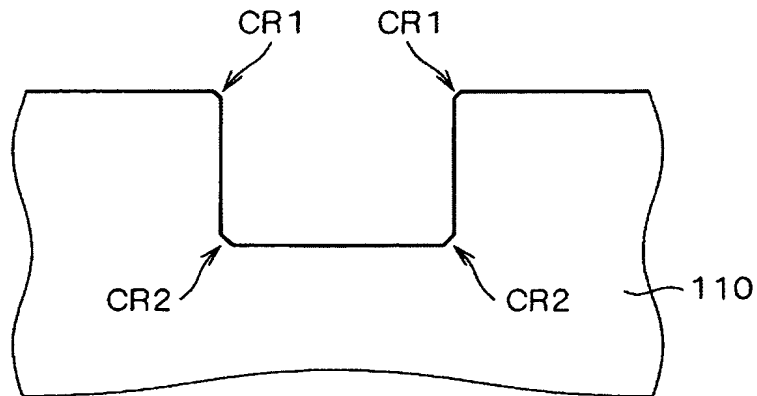
【図 31】



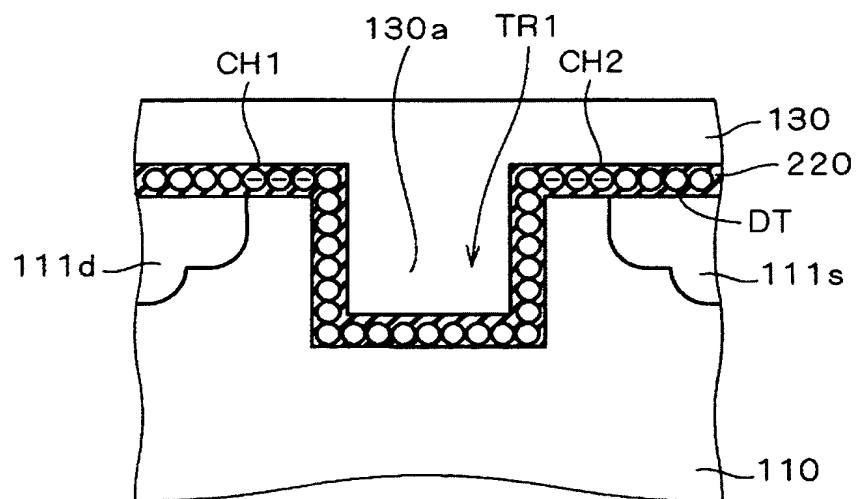
【図 3 2】



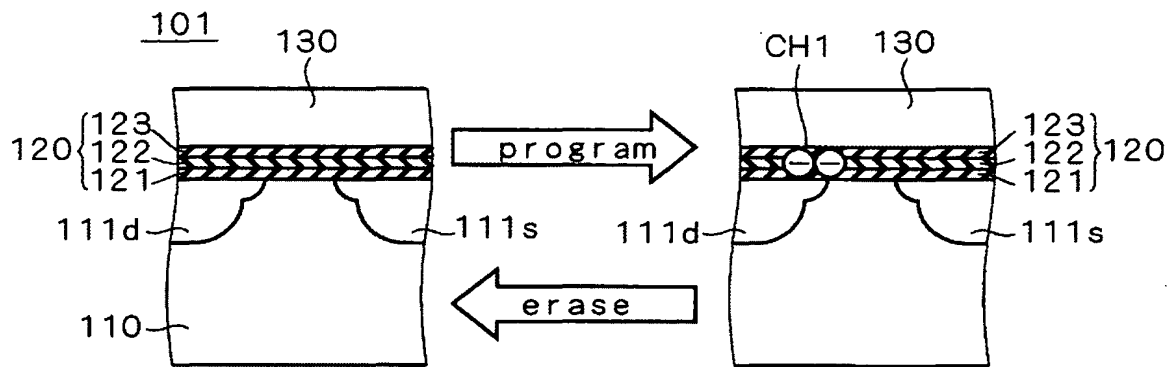
【図 3 3】



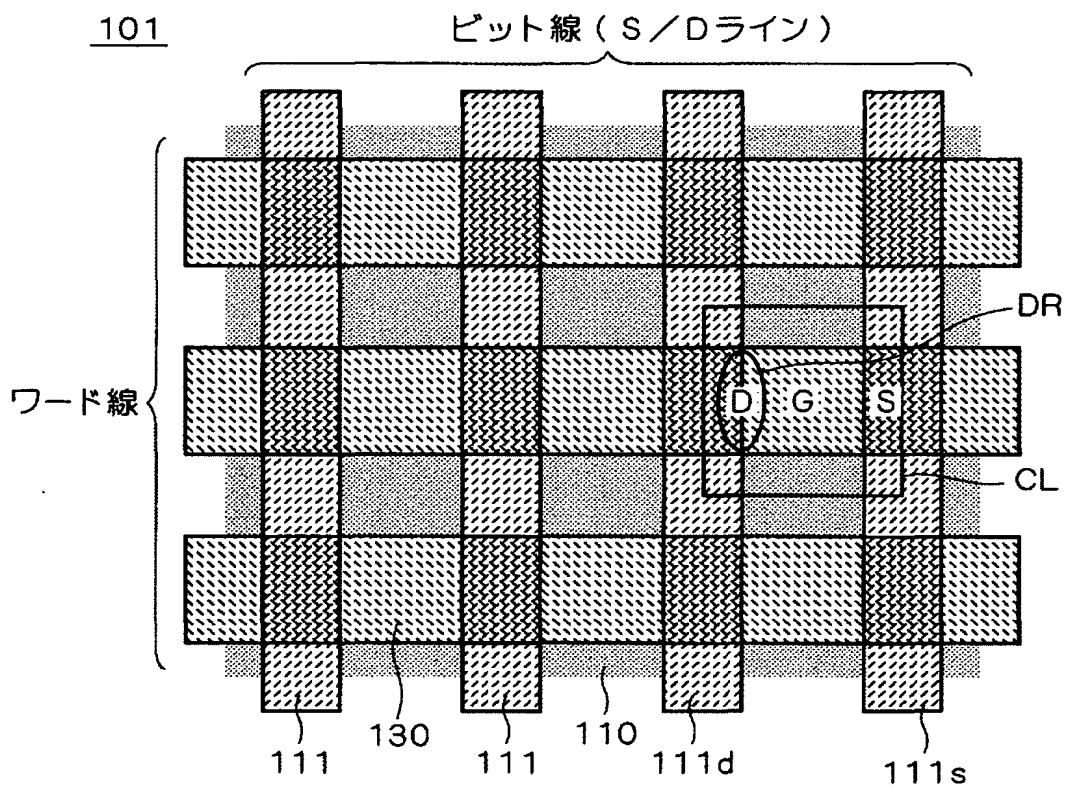
【図 3 4】



【図 3 5】

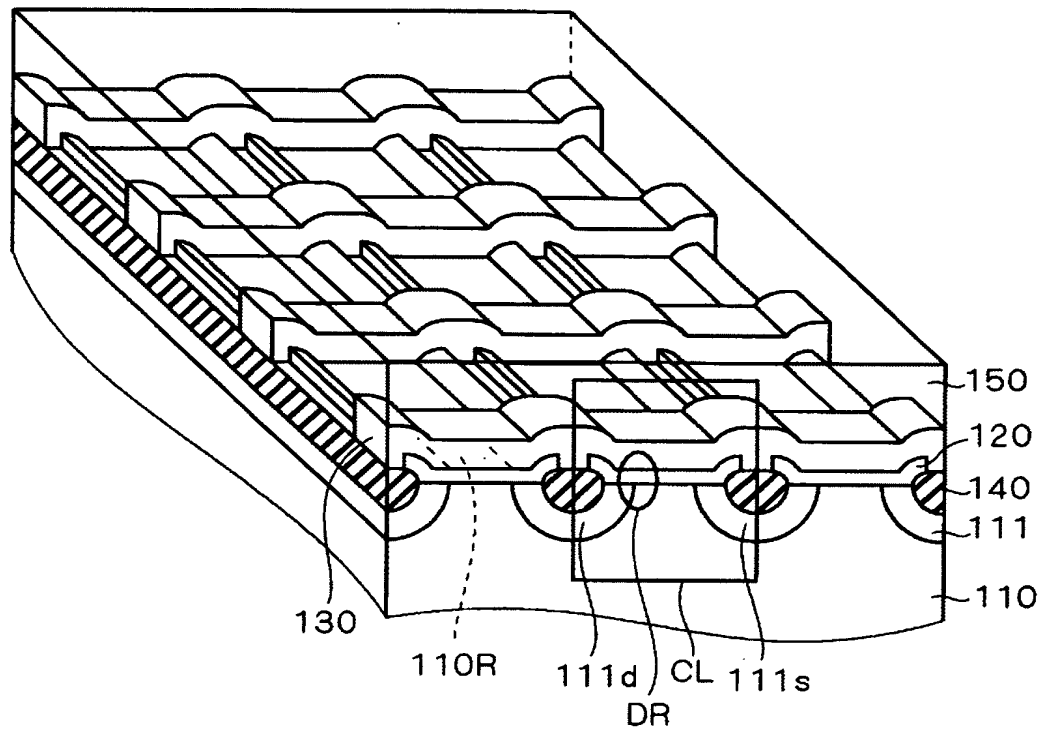


【図 3 6】



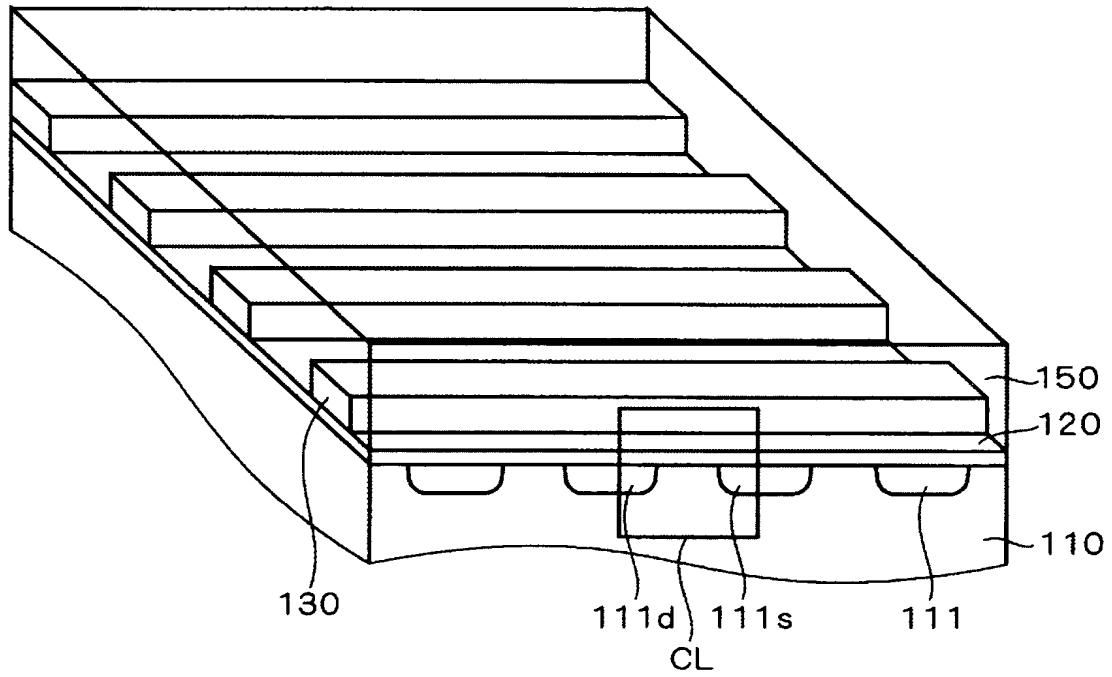
【図 3 7】

101A

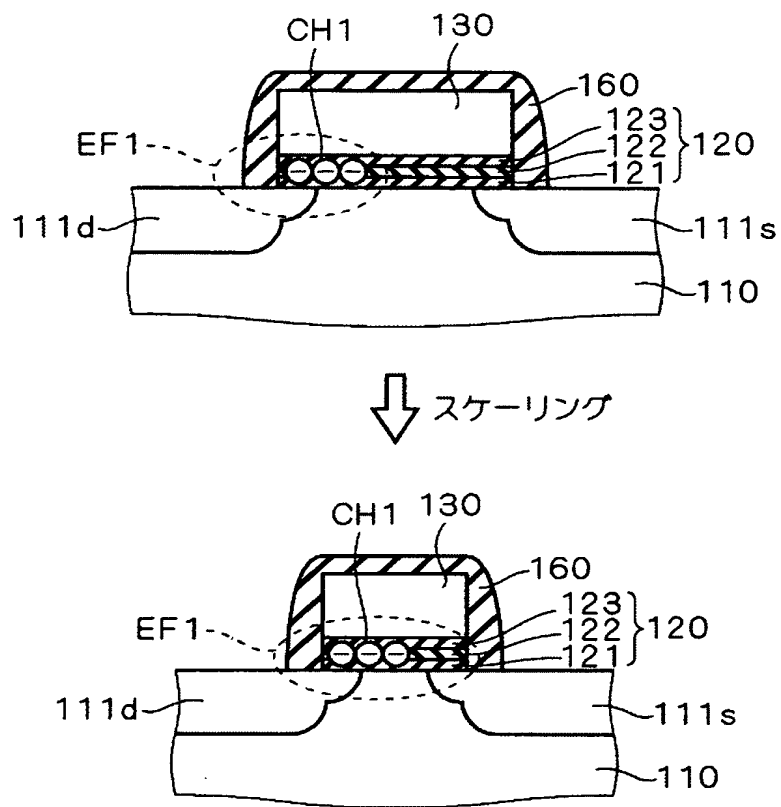


【図 3 8】

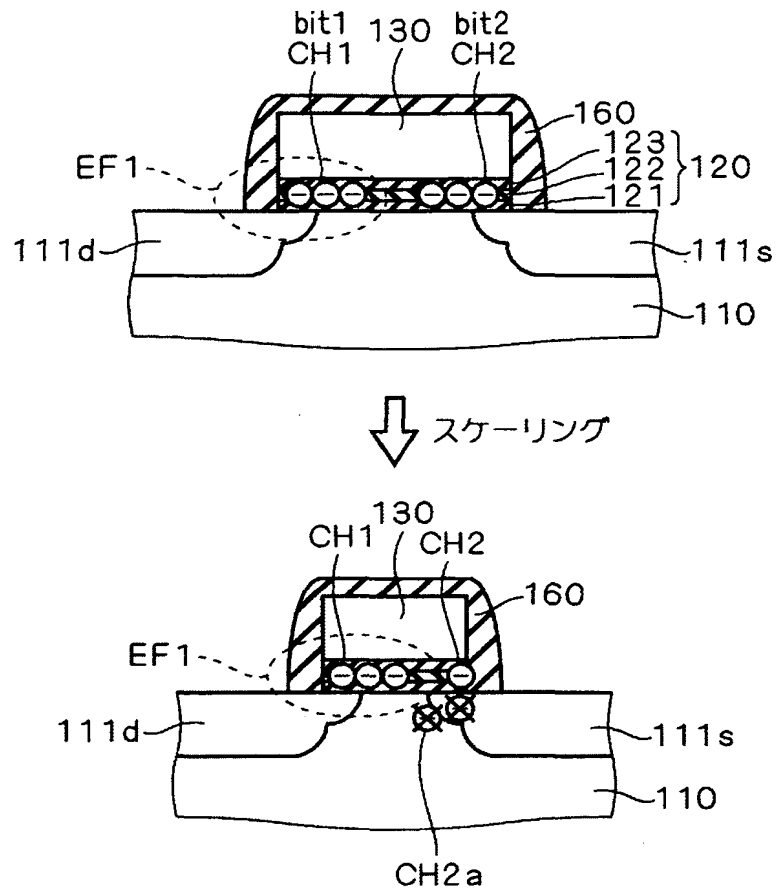
101B



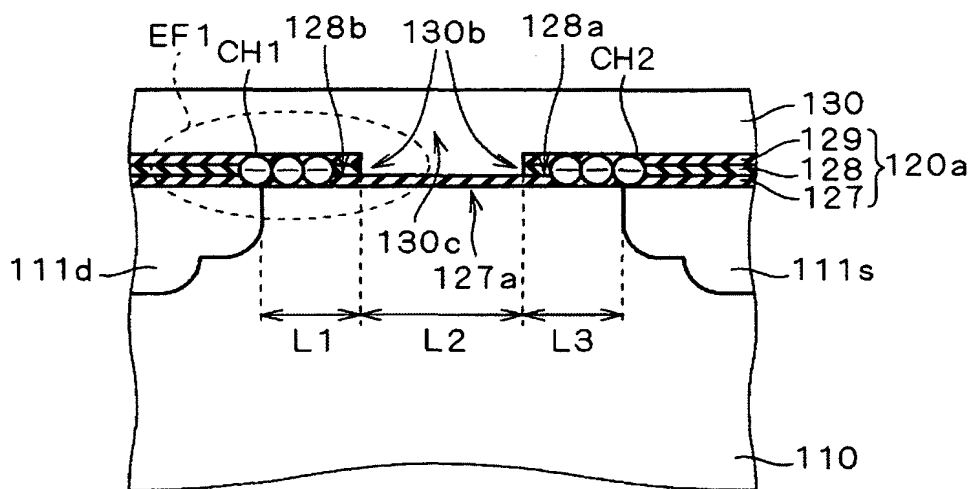
【図 39】



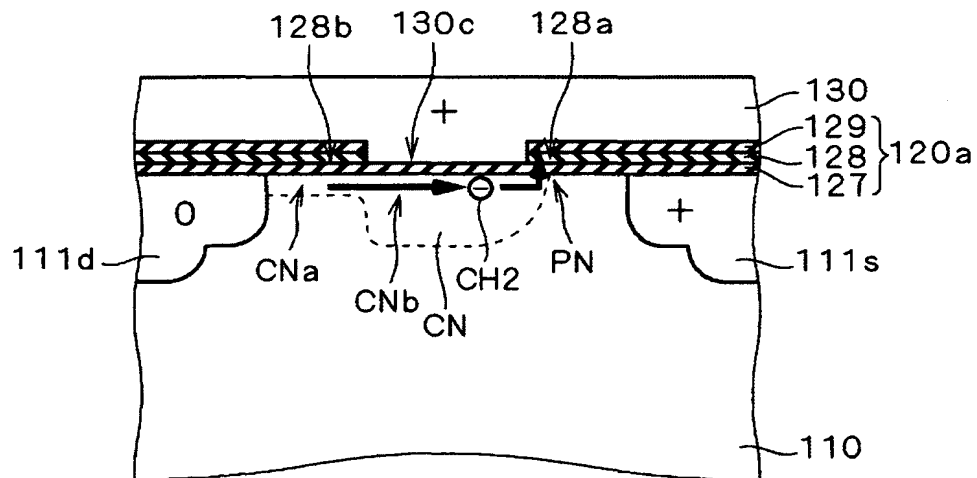
【図40】



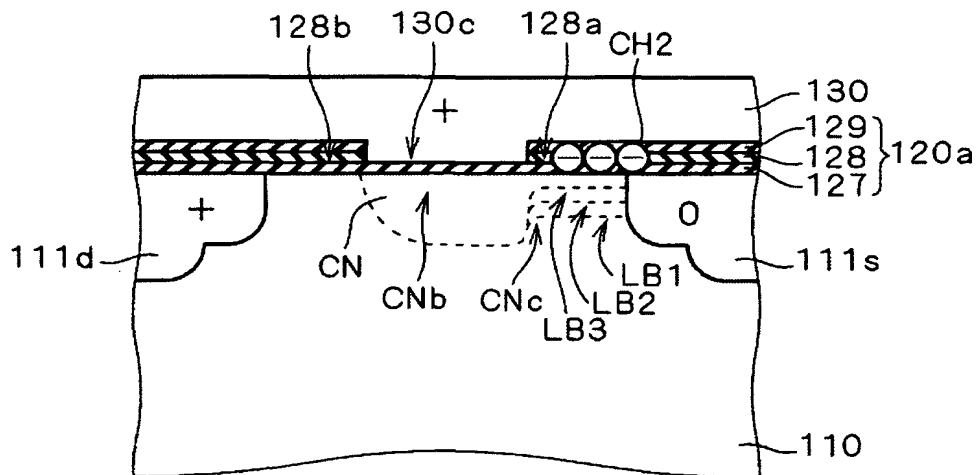
【図41】



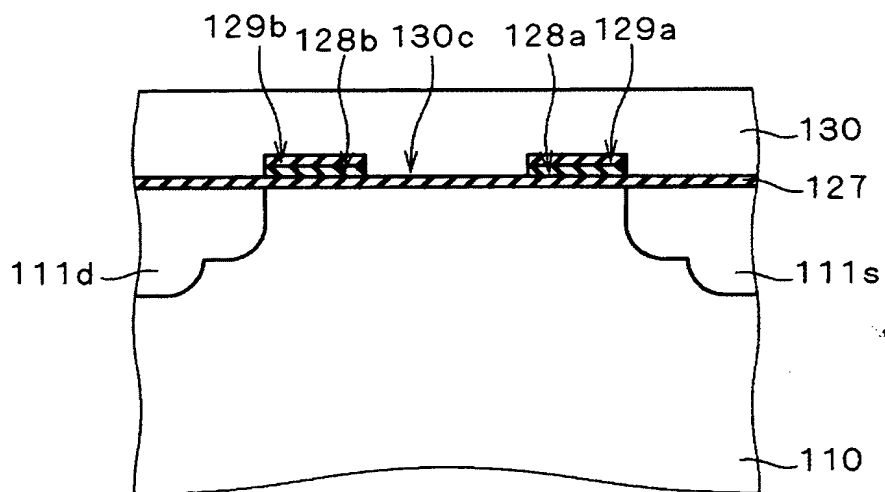
【図 4 2】



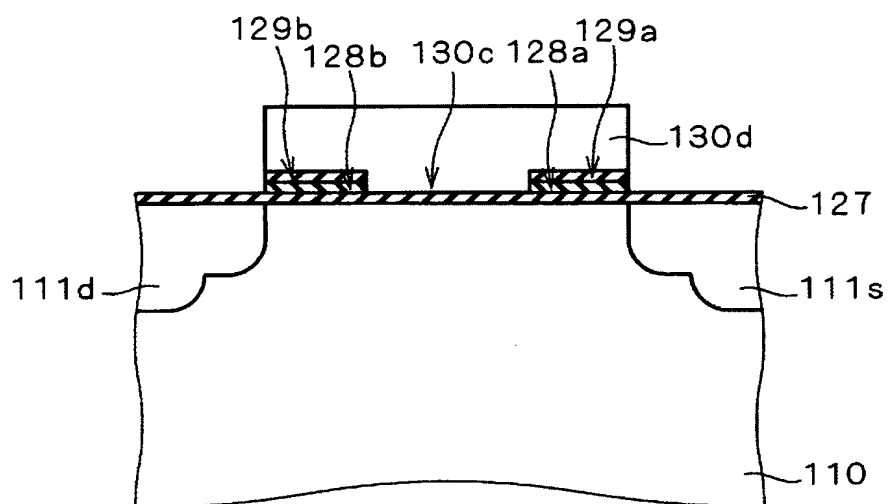
【図 4 3】



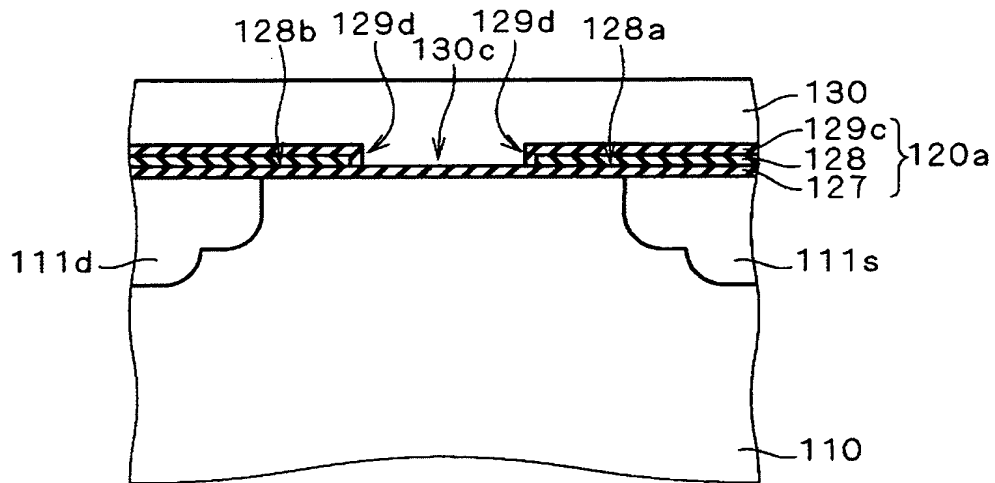
【図 4 4】



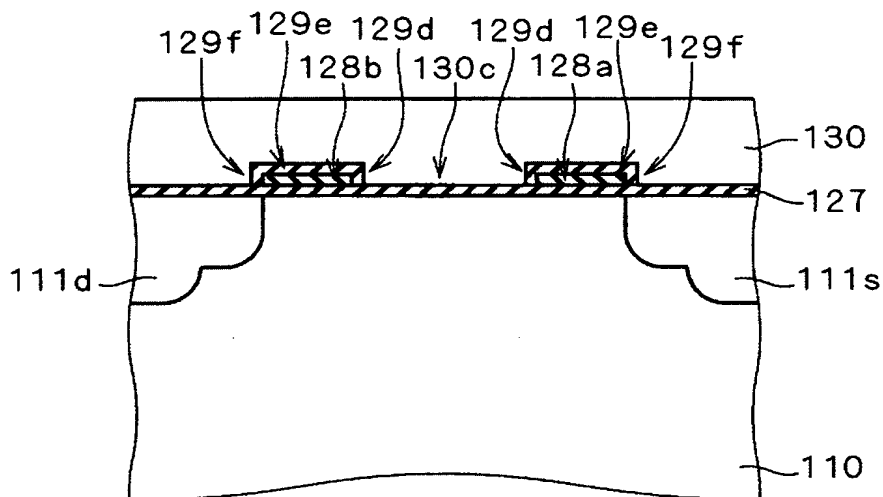
【図 4 5】



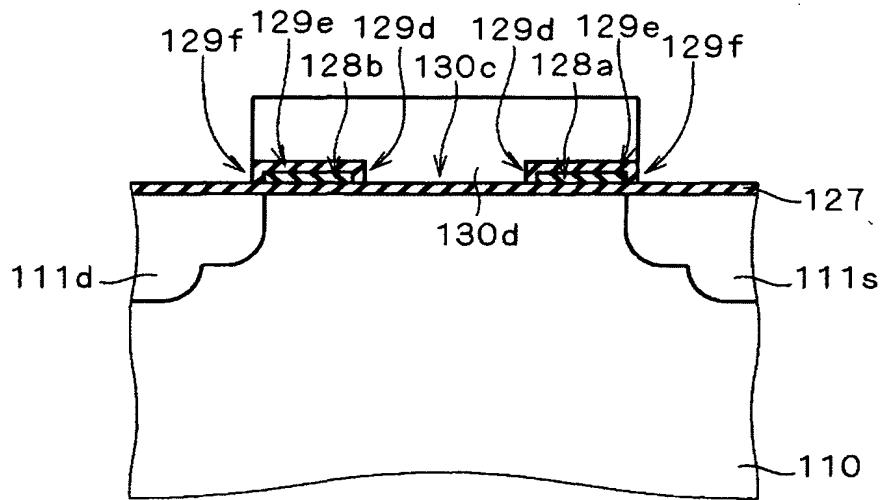
【図 4 6】



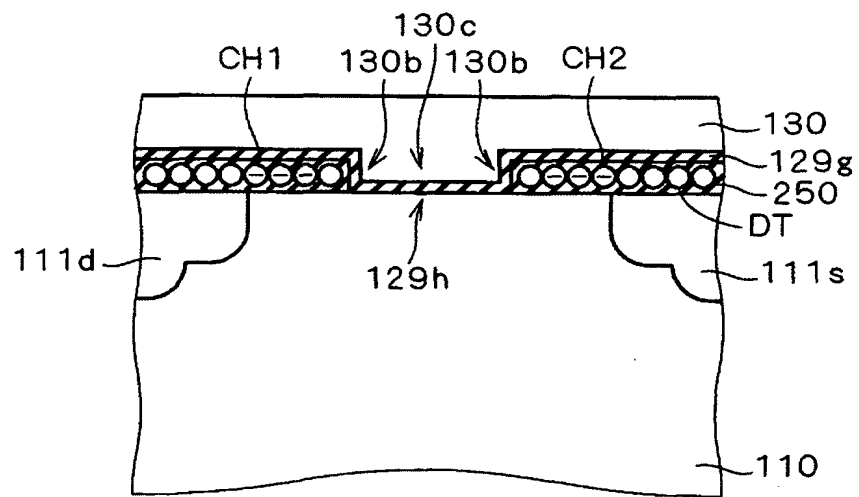
【図 4 7】



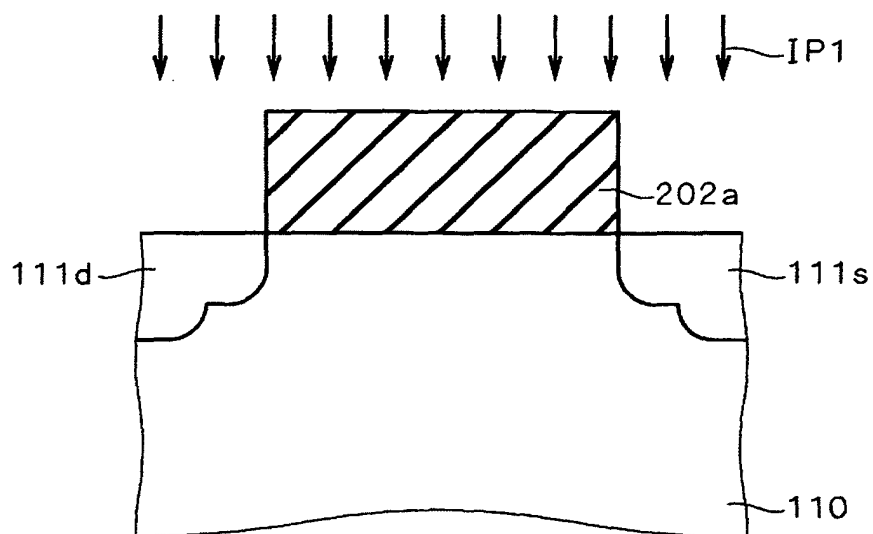
【図 48】



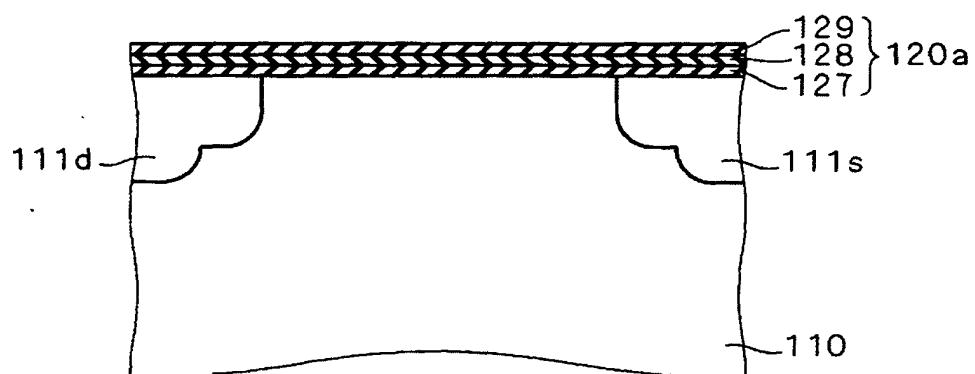
【図 49】



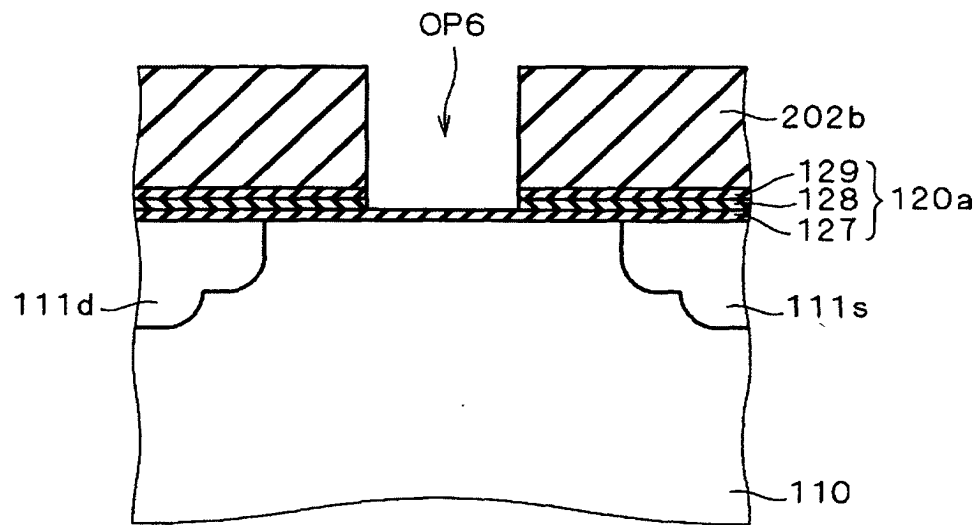
【図 50】



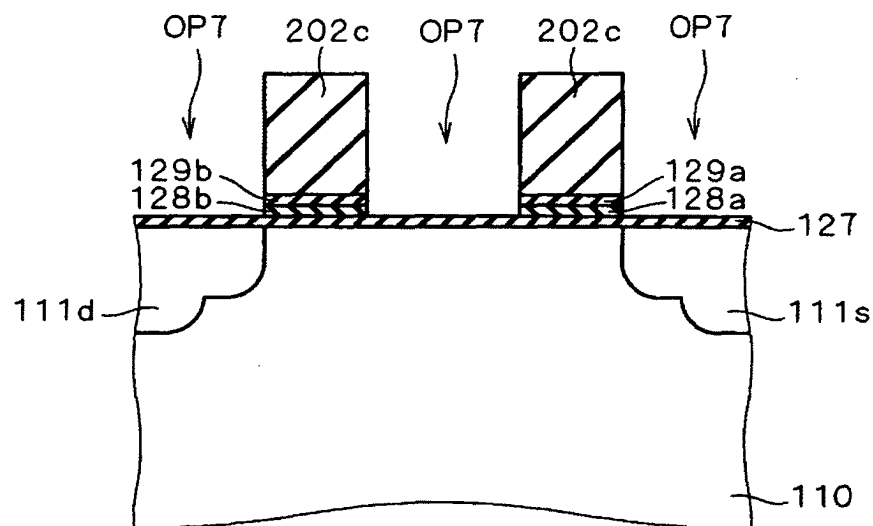
【図 51】



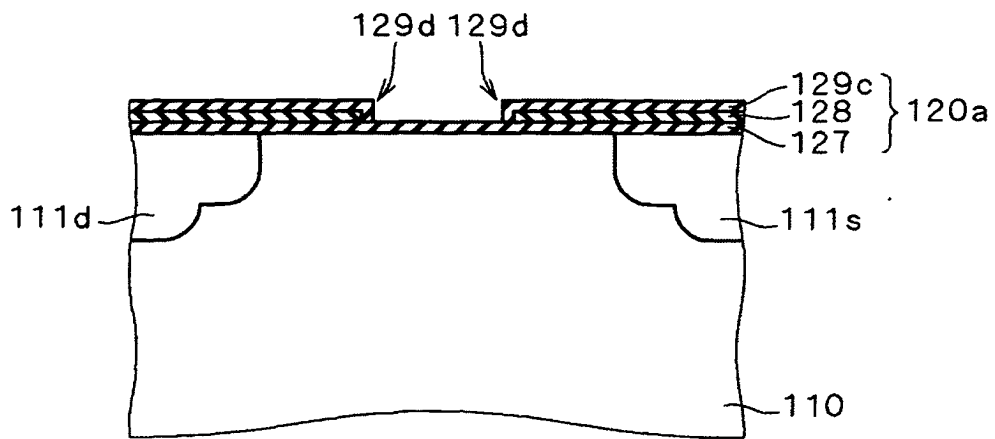
【図 5 2】



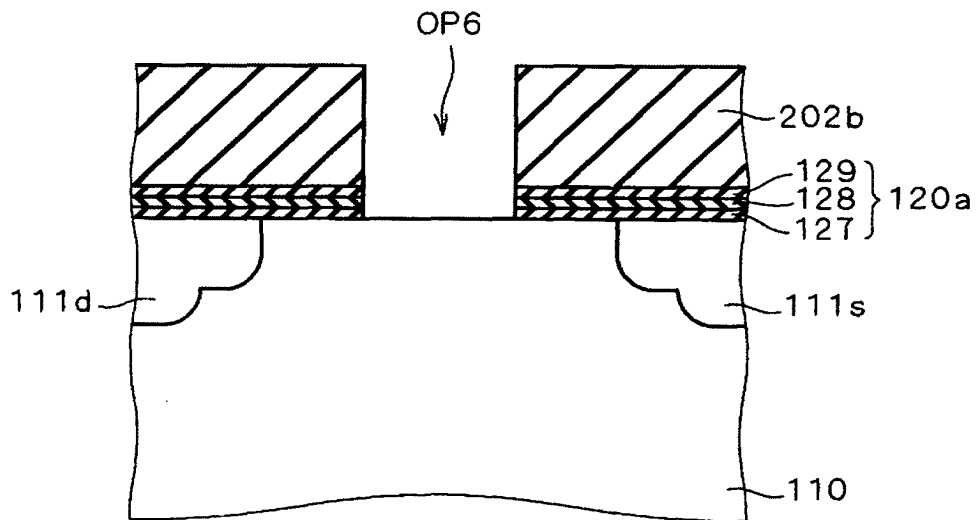
【図 5 3】



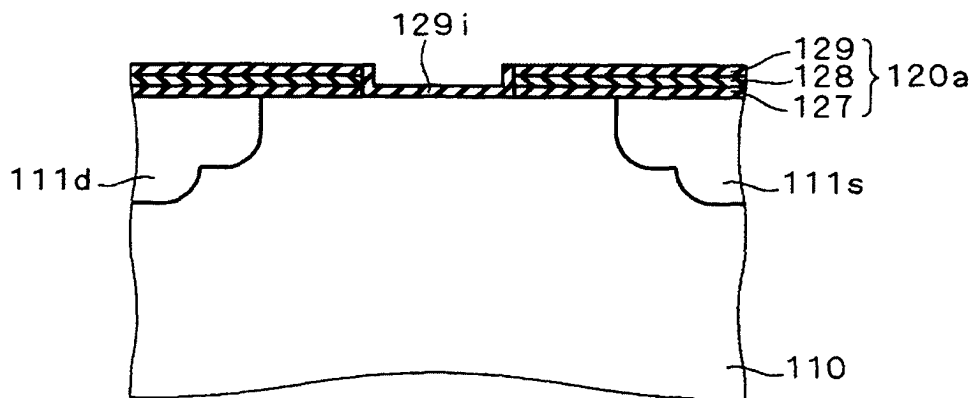
【図 5 4】



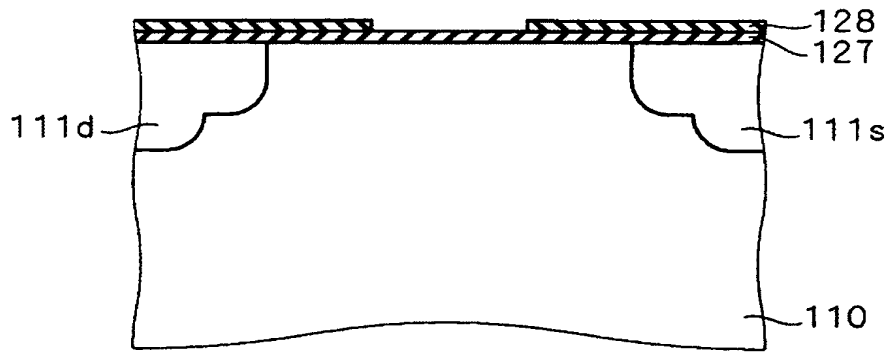
【図 5 5】



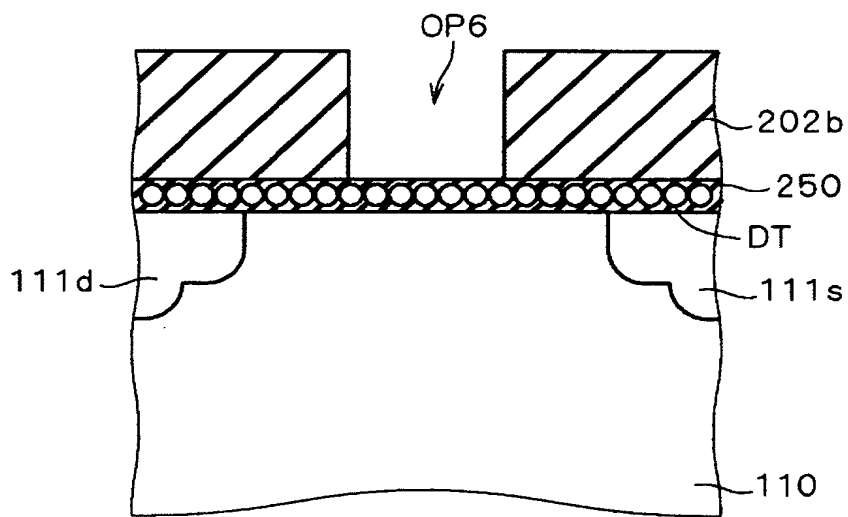
【図 5 6】



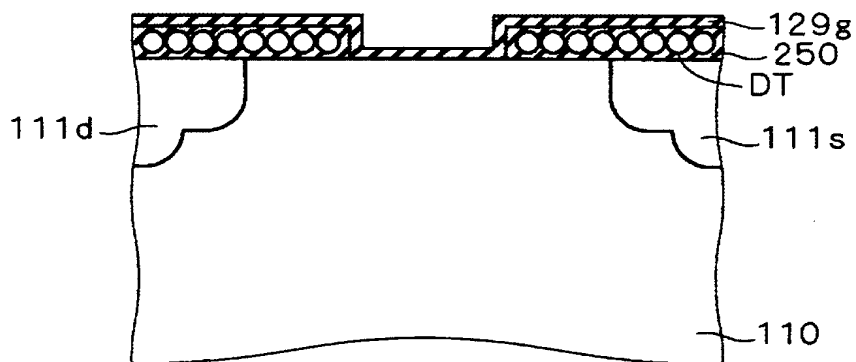
【図 57】



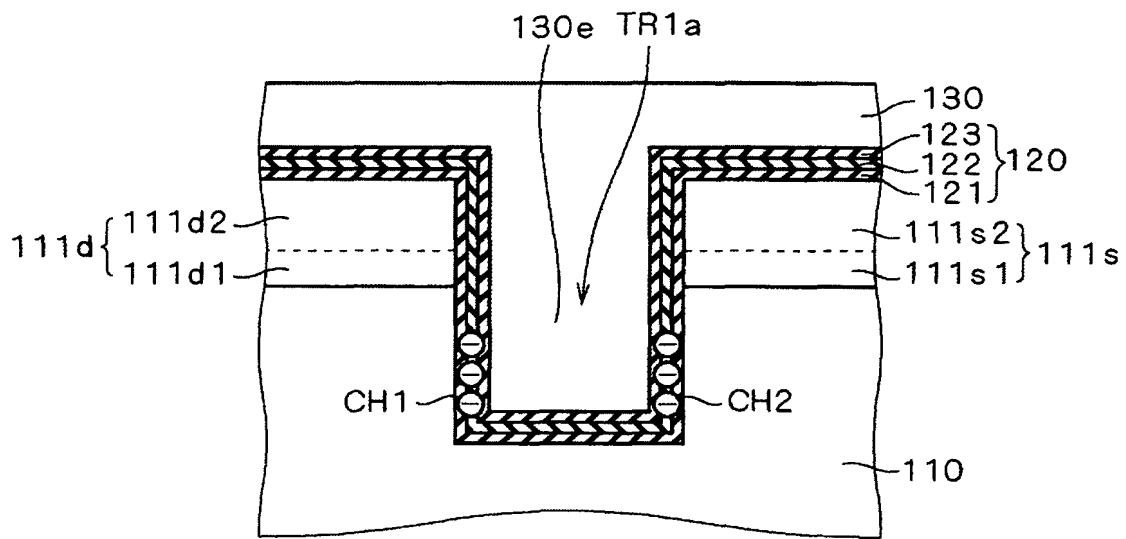
【図 58】



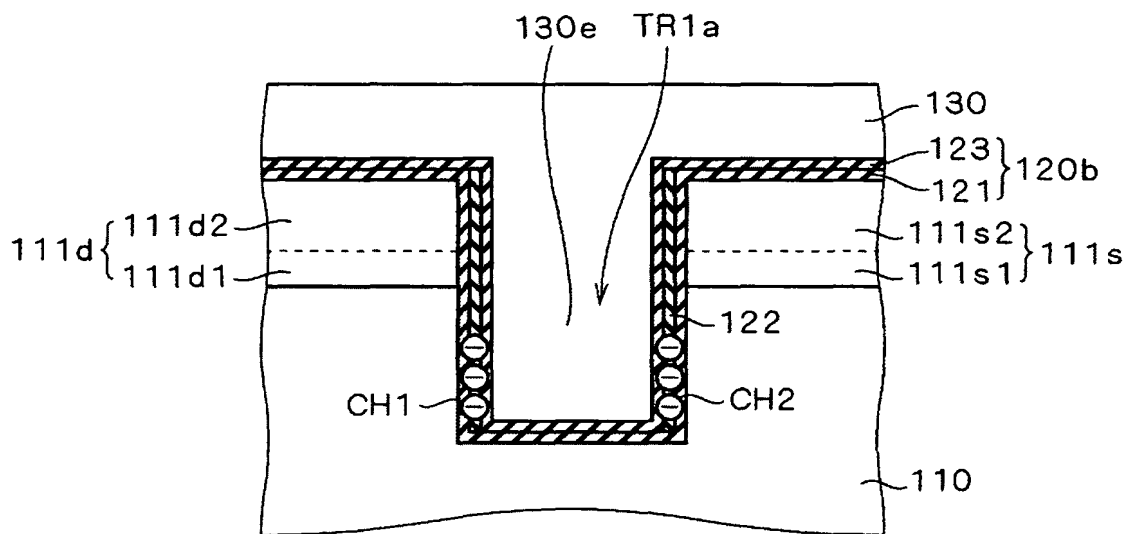
【図 59】



【図 60】



【図 61】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリのスケーリングが進んだ場合にも、一つのメモリセルに多ビットの情報を保持させることが可能な半導体装置およびその製造方法を提供する。

【解決手段】 MONOSトランジスタのチャネル部分に溝TR1を形成する。そして、ゲート絶縁膜120中のシリコン窒化膜122のうち、溝TR1を挟むソース側部分およびドレイン側部分を、電荷CH1、CH2を保持可能な第1および第2の電荷保持部として機能させる。このようにすれば、電荷CH1をトラップさせた後に電荷CH2をトラップさせる場合に、ゲート電極130のうち溝TR1内の部分130aがシールドの役割を果たす。ゲート電極130に固定電位を与えておけば、電荷CH1の誘起する電界EF1の影響が第2の電荷保持部に及ばず、電荷CH2のトラップが妨げられることがないからである。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2003-009516
受付番号	50300069627
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 1月22日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目2番3号
【氏名又は名称】	三菱電機株式会社

【代理人】

申請人

【識別番号】	100089233
【住所又は居所】	大阪府中央区城見1丁目4番70号 住友生命○ B P プラザビル10階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	吉田 茂明
----------	-------

【選任した代理人】

【識別番号】	100088672
【住所又は居所】	大阪府中央区城見1丁目4番70号 住友生命○ B P プラザビル10階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	吉竹 英俊
----------	-------

【選任した代理人】

【識別番号】	100088845
【住所又は居所】	大阪府中央区城見1丁目4番70号 住友生命○ B P プラザビル10階 吉田・吉竹・有田特許事 務所

【氏名又は名称】	有田 貴弘
----------	-------

次頁無

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社